



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Hong-Kyu KIM et al.

Docket: 8836-136 (IB10137-US)

Serial No.: 09/894,062

Group: Art Unit 2674

Filed: June 28, 2001

Examiner: Nguyen, Kimnhung T.

For: LIQUID CRYSTAL DISPLAY CONTROLLER WITH  
IMPROVED DITHERING AND FRAME RATE CONTROL  
AND METHOD THEREOF

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Attached herewith is a certified copy of Korean Application No.  
2001-16193 filed March 28, 2001 from which priority is claimed in the above-identified  
application under 35 U.S.C. §119.

Respectfully submitted,

F. CHAU & ASSOCIATES, LLC

Richard D. Ratchford, Jr.

Reg. No. 53,865

Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLC  
130 Woodbury Road  
Woodbury, New York 11797  
Tel.: (516) 692-8888  
Fax: (516) 692-8889  
RDR/pg

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States  
Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450 on October 29, 2004.

Dated: October 29, 2004

  
Richard D. Ratchford, Jr.

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

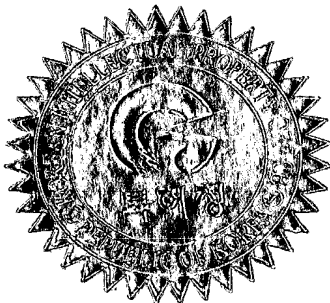
특허출원 2001년 제 16193 호  
PATENT-2001-0016193

출원 년 월 일 :  
Date of Application

2001년 03월 28일  
MAR 28, 2001

출원인 :  
Applicant(s)

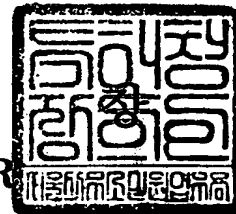
삼성전자 주식회사  
SAMSUNG ELECTRONICS CO., LTD.



2001      07      13  
년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.03.28
【발명의 명칭】	개선된 디더링 및 프레임 레이트 제어를 갖는 엘시디 제어 기 및 그것의 개선 방법
【발명의 영문명칭】	LIQUID CRYSTAL DISPLAY CONTROLLER WITH IMPROVED DITHERING AND FRAME RATE CONTROL AND METHOD OF IMPROVEMENT OF IT
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김홍규
【성명의 영문표기】	KIM,HONG KYU
【주민등록번호】	710222-1052411
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 14
【국적】	KR
【발명자】	
【성명의 국문표기】	임경묵
【성명의 영문표기】	LIM,KYUNG MOOK
【주민등록번호】	660502-1001515
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 14
【국적】	KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

## 【기본출원료】

20 면 29,000 원

## 【가산출원료】

52 면 52,000 원

## 【우선권주장료】

0 건 0 원

## 【심사청구료】

10 항 429,000 원

## 【합계】

510,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

여기에 개시된 발명에서는 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화하기 위한 디더 및 프레임 레이트 제어를 개선한 엘시디 제어기 및 그것의 개선 방법이 제시된다. 이를 개선하기 위한 일 방안으로 본 발명은 복수 개의 그레이 레벨들을 저장하는 디더링 패턴 레지스터의 크기를 최소화하는 메커니즘을 사용한다. 즉, 복수 개의 그레이 레벨들의 전체 분모의 값 만큼의 비트 수를 사용하여 상기 복수 개의 그레이 레벨들에 대한 각각의 듀티 싸이클 값을 설정한 후 디더링 패턴 레지스터에 저장하는 메커니즘을 사용한다. 상기한 목적 달성을 위한 본 발명은 복수 개의 그레이 레벨들을 저장하는 디더링 패턴 레지스터부와, 상기 각 그레이 레벨의 이진화 최상위 비트를 결정하기 위한 계수 동작을 수행하는 복수 개의 모듈러 레지스터 카운터부들과, 상기 계수 값에 따라 상기 각 그레이 레벨에 대응되는 데이터 패턴들을 출력하는 복수 개의 멀티플렉서들과, 그리고 상기 각 데이터 패턴 중 엘시디 패널상에 출력되는 픽셀 데이터에 대응되는 데이터 패턴의 해당 비트를 선택/출력하는 선택 수단을 구비한다. 본 발명에 따른 메커니즘을 화상 데이터 출력용 시스템 장치에 적용하면 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화할 수 있어 제품의 경쟁력을 증대시키는 이점이 있다.

**【대표도】**



52

## 【명세서】

## 【발명의 명칭】

개선된 디더링 및 프레임 레이트 제어를 갖는 엘시디 제어기 및 그것의 개선 방법  
 {LIQUID CRYSTAL DISPLAY CONTROLLER WITH IMPROVED DITHERING AND FRAME RATE CONTROL AN  
 METHOD OF IMPROVEMENT OF IT}

## 【도면의 간단한 설명】

도 1은 화상 출력을 위한 일반적인 디스플레이용 시스템 블록도;

도 2a 및 도 2b는 도 1에 도시된 엘시디 제어기 내에 포함된 디더 및 프레임 레이트 제어 블록도로 본 발명의 바람직한 실시예; 그리고

도 3은 도 2a 및 도 2b에 도시된 모듈러 레지스터 카운터의 바람직한 실시예를 도시한 블록도;

## \*도면의 주요부분에 대한 부호의 설명\*

40: 디더링 패턴 레지스터부	42: 제1 그룹
44: 제2 그룹	46: 제3 그룹
48: 제4 그룹	50: 제1 멀티플렉서 그룹
52: 제2 멀티플렉서 그룹	54: 제3 멀티플렉서 그룹
56: 제4 멀티플렉서 그룹	128: 모듈러 7 레지스터 카운터
130: 모듈러 5 레지스터 카운터	132: 모듈러 4 레지스터 카운터
134: 모듈러 3 레지스터 카운터	164: 모듈러 7 프레임 카운터
166: 모듈러 7 라인 카운터	168: 모듈러 7 픽셀 카운터

170: 다음 프레임 계수 발생부

172: 다음 라인 계수 발생부

174: 제1 멀티플렉서

176: 다음 픽셀 계수 카운터

178: 제2 멀티플렉서

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<16> 본 발명은 엘시디 제어기(LCD Controller)에 관한 것으로, 보다 자세하게는 개선된 디더링 및 프레임 레이트 제어를 갖는 엘시디 제어기 및 그것의 개선 방법에 관한 것이다.

<17> 일반적으로 엘시디 제어기(14)는 첨부도면의 도 1에 도시된 바와 같이 시스템 메모리(프레임 메모리(12))에 위치한 비디오 버퍼의 내용을 액정 표시 장치(16) 쪽으로 전달해주는 기능을 수행한다. 액정 표시 장치(16)에는 액정 패널을 구동하기 위한 게이트 드라이버와 소오스 드라이버가 존재하는데, 엘시디 제어기(14)는 이러한 드라이버들을 제어하기 위한 신호들을 발생한다. 통상 엘시디 제어기(14)로부터 발생되는 제어 신호로는 크게 두 종류의 신호가 있다. 하나는 두 모듈 사이의 동기화를 위한 클럭 신호들로 픽셀 클럭(Pixel clock)과 라인 클럭(line clock) 그리고 프레임 클럭(frame clock)이 그것이다. 다른 하나는 실제 액정 패널상에 화상 데이터들을 출력하는데 필요한 데이터 신호들이다.

<18> 일반적으로 데이터 신호들은 4비트, 8비트, 16비트 등으로 구성된다. 이는 액정 구동 장치로 전달되는 데이터의 밴드폭(Bandwidth)을 크게 해주기 위함이다.



- <19> 또한, 엘시디 제어기(14)는 흑백 모드 뿐만아니라 그레이 레벨(Gray Level)들을 지원하는데, 이를 위해 필요한 블록이 디더 및 프레임 레이트 제어(dither & frame rate control) 블록이다. 만약 4 개의 그레이 레벨들을 지원하기 위해 필요한 그레이 레벨 값들이 0, 1/3, 2/3, 1 이라 하면, 엘시디 쪽으로 전달되는 데이터 값들은 0 혹은 1만 가능하다. 따라서 1/3, 2/3와 같은 그레이 레벨 값들을 만들기 위해서는 첫번째 화면에서 0, 두번째 화면에서 1 그리고 세번째 화면에서 0을 각각 전달한다. 이에 따라, 결과적으로 '010'이 데이터 값으로 전달되어 듀티 사이클(duty cycle)을 1/3 로 만든다.
- <20> 디더 및 프레임 레이트 제어 블록은 전술한 바와 같이 그레이 레벨 값들을 이진화 데이터 값으로 표현하기 위한 블록이다.
- <21> 통상, 디더 및 프레임 레이트 제어 블록은 필요한 그레이 레벨 값들을 저장하기 위한 레지스터들과 상기 레지스터들로부터 해당 화면에 필요한 값을 추출하기 위한 제어부를 구비한다. 그런데, 종래의 엘시디 제어기는 그레이 레벨 값들을 저장하기 위해 필요 이상의 디더링 패턴 레지스터들을 구비하였다.
- <22> 좀더 구체적으로 살펴보면, 종래의 디더링 패턴 레지스터 구조는 4 개의 픽셀 값들을 동시에 출력하기 위해 4 비트 단위로 나누어져 있었다. 또한, 종래의 디더링 패턴 레지스터 구조는 복수의 그레이 레벨들에 대한 디더링 패턴 값을 표현하기 위해 분모의 값만큼의 4 비트 패턴을 형성하였다. 즉, 임의의 그레이 레벨의 분모의 값이 7 인 경우, 디더링 패턴 레지스터의 비트 길이는 28(4\*7) 비트들이 된다. 임의의 그레이 레벨의 분모의 값이 5인 경우, 디더링 패턴 레지스터의 비트 길이는 20(4\*5) 비트들이 된다. 그리고, 디더링 패턴 레지스터의 디더링 패턴 값들은 상기한 비트 길이 내에서 필요한 듀티 사이클 만큼의 값을 가지도록 프로그램 된다. 가령, 그레이 레벨이 1/7 인 경우 디더링

패턴 레지스터의 디더링 패턴 값은 총 28 비트들 중 4 개의 비트들에는 1, 나머지 24 개의 비트들에는 0이 할당되도록 프로그램 된다.

<23>      상기한 종래의 방식을 통해 디더링되는 16 개의 그레이 레벨들에 대한 각각의 디더링 패턴 값은 다음과 같이 표현된다.

<24>      6/7 : 0111 1111 1101 1111 1011 1111 1110

<25>      4/5 : 0111 1110 1011 1101 1111

<26>      5/7 : 0111 1011 1110 0101 1101 1011 1110

<27>      3/4 : 0111 1101 1011 1110

<28>      2/3 : 1101 0110 1011

<29>      3/5 : 0101 1010 0101 1011 1110

<30>      4/7 : 1011 0101 1010 0101 1010 0101 1110

<31>      1/2 : 1010 0101 1010 0101

<32>      3/7 : 0100 1010 0101 1010 0101 1010 0001

<33>      2/5 : 1010 0101 1010 0100 0001

<34>      1/3 : 0010 1001 0100

<35>      1/4 : 1000 0010 0100 0001

<36>      1/5 : 1000 0001 0100 0010 0000

<37>      1/7 : 1000 0000 0010 0000 0100 0000 0001

<38>      따라서, 종래의 디더링 패턴 레지스터 구조의 경우, 총 데이터의 크기는 292 비트 ( $7*4*5+5*4*4+4*4*3+3*4*2$ )들이 된다. 통상, 1 비트는 한 개의 플립플롭에 의해 만들어

진다. 따라서, 종래의 디더링 패턴 레지스터 구조는 필연적으로 하드웨어의 비용 상승을 초래한다. 또한, 종래의 디더링 패턴 레지스터 구조는 칩의 전체적인 전력 소모를 증가시키는 요인이 된다.

<39> 더 나아가, 종래의 엘시디 제어기는 각각의 비트 패턴 중 하나의 니블(nibble)만이 한 라인을 통해 계속 제공된다는 점이다. 가령, 어떤 화면의 첫번째 라인이 모두 1/7이라는 그레이 레벨 값을 가지는 경우, 그 라인에는 그레이 레벨 1/7에 대한 디더링 패턴 값 중 특정 니블이 계속적으로 출력된다는 것이다. 가령, 그레이 레벨 1/7에 대한 디더링 패턴 값 중 첫번째 니블만이 선택된다고 가정하면, 그 라인에는 언제나 1000의 값이 출력된다는 점이다. 이것은 시간적으로 그레이 레벨 1/7에 대한 디더링 패턴 값을 만들 수 있지만, 공간적으로 한 라인 내에서 1000의 값이 반복되므로 그레이 레벨 1/4에 대한 디더링 패턴 값이 출력되는 것과 같아 우리가 원하는 값과 차이가 난다는 점이다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 본 발명의 목적은 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화할 수 있는 회로 구성을 갖는 엘시디 제어기를 제공하는 것이다.

<41> 본 발명의 다른 목적은 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화할 수 있는 회로 구성을 갖는 엘시디 제어기를 구현하기 위한 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<42> (구성)

<43> 종래의 결점을 해결하기 위하여, 본 발명은 물리적인(하드웨어적인) 비용 부담과

전력 소모를 최소화할 수 있는 회로 구성을 갖는 엘시디 제어기를 제공한다.

- <44>      상기한 엘시디 제어기는 디더링 패턴 레지스터부와 복수 개의 모듈러 레지스터 카운터부들과 복수 개의 멀티플렉서들 및 선택 수단을 포함한다.
- <45>      상기 디더링 패턴 레지스터부는 복수 개의 그레이 레벨들의 분모의 값 만큼의 비트 수를 이용하여 상기 복수 개의 그레이 레벨들을 이진화 데이터 값들로 디더링 패턴을 형성하고 동일한 분모의 값을 갖는 그레이 레벨들에 대한 디더링 패턴 값들을 각각 그룹화하여 저장하는 기능을 수행한다.
- <46>      상기 복수 개의 모듈러 레지스터 카운터부들은 각각 프레임 클럭과 라인 클럭 그리고 픽셀 클럭에 동기되어 상기 각 그레이 레벨의 이진화 최상위 비트를 결정하기 위한 계수 동작을 수행하는 기능을 위해 사용된다.
- <47>      상기 복수 개의 멀티플렉서들은 상기 각 카운터부의 계수 값에 따라 상기 각 그레이 레벨에 대응되는 각각의 데이터 패턴을 출력하는 기능을 수행하기 위해 사용된다.
- <48>      상기 선택 수단은 상기 멀티플렉서들로부터 출력되는 데이터 패턴들 중 엘시디 패널상에 출력되는 픽셀 데이터에 대응되는 데이터 패턴의 해당 비트를 선택/출력하는 기능을 수행하기 위해 사용된다.
- <49>      상기 복수 개의 모듈러 레지스터 카운터부들은 각각 모듈러 프레임 카운터와 모듈러 라인 카운터와 모듈러 픽셀 카운터와 다음 프레임 계수 발생 수단과 다음 라인 계수 발생 수단과 제1 멀티플렉서와 다음 픽셀 계수 발생 수단 및 제2 멀티플렉서를 구비한다
- <50>      상기 모듈러 프레임 카운터는 프레임 클럭에 동기되어 프레임이 바뀔 때마다 계수

동작을 수행하는 기능을 수행한다.

- <51>      상기 모듈러 라인 카운터는 라인 클럭에 동기되어 라인이 바뀔 때마다 계수 동작을 수행하는 기능을 수행한다.
- <52>      상기 모듈러 픽셀 카운터는 픽셀 클럭에 동기되어 픽셀이 바뀔 때마다 계수 동작을 수행하는 기능을 수행한다.
- <53>      상기 다음 프레임 계수 발생 수단은 모듈러 프레임 카운터의 출력 신호에 응답하여 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터로 업데이트를 위한 값을 출력하는 기능을 수행한다.
- <54>      상기 다음 라인 계수 발생 수단은 상기 모듈러 라인 카운터의 출력 신호에 응답하여 라인이 바뀔 때마다 업데이트를 위한 값을 출력하는 기능을 수행한다.
- <55>      상기 제1 멀티플렉서는 제1 선택 신호의 로직레벨에 응답하여 상기 모듈러 라인 카운터로 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터의 초기값을 출력하고 라인이 바뀔 때마다 상기 다음 라인 계수 발생 수단으로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행한다.
- <56>      상기 다음 픽셀 계수 발생 수단은 상기 모듈러 픽셀 카운터의 출력 신호에 응답하여 픽셀이 바뀔 때마다 업데이트를 위한 값을 출력하는 기능을 수행한다.
- <57>      상기 제2 멀티플렉서는 제2 선택 신호의 로직레벨에 응답하여 상기 모듈러 픽셀 카운터로 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터의 초기값을 출력하고, 라인이 바뀔 때마다 상기 모듈러 라인 카운터의 초기값을 출력하며, 픽셀이 바뀔 때마다 상기 다음 픽셀 계수 발생 수단으로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반

복적으로 수행한다.

- <58> 또한, 상기 다음 프레임 계수 발생 수단은 프레임이 바뀔 때마다 가산되는 값을 랜덤하게 출력한다.
- <59> 상기 다음 라인 계수 발생 수단은 라인이 바뀔 때마다 가산되는 값을 랜덤하게 출력한다.
- <60> 상기 다음 픽셀 계수 발생 수단은 픽셀이 바뀔 때마다 가산되는 값을 랜덤하게 출력한다.
- <61> 종래의 결점을 해결하기 위하여, 본 발명은 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화할 수 있는 엘시디 제어기를 구현하기 위한 방법을 제공한다.
- <62> 상기한 방법은 복수 개의 픽셀들을 포함하는 액정 패널상에 디스플레이를 야기시키는 픽셀 데이터에 응답하여 디스플레이를 위한 제어 신호들을 발생시키는 엘시디 제어기에 있어서, 제1 단계 내지 제4 단계를 포함한다.
- <63> 상기 제1 단계는 각 그레이 레벨의 분모의 값 만큼의 비트 수를 이용하여 상기 각 그레이 레벨을 이진화 데이터 값으로 디더링 패턴 값을 형성하여 패턴 레지스터에 저장하는 과정을 수행한다. 상기 제2 단계는 상기 제1 단계를 통하여 형성된 디더링 패턴 값에 대한 이진화 최상위 비트를 결정하기 위한 계수 동작을 수행한다. 상기 제3 단계는 상기 제2 단계를 통하여 결정된 최상위 비트를 기준으로 상기 각 디더링 패턴 값에 대응되는 데이터 패턴을 출력하는 과정을 수행한다. 그리고 상기 제4 단계는 상기 제3 단계를 통하여 인출된 각 데이터 패턴 중 엘시디 패널상에 출력되는 픽셀 데이터에 대응되는 데이터 패턴의 해당 비트를 선택/출력하는 과정을 수행한다.

<64> 또한, 상기 제2 단계는 프레임 클릭에 동기되어 프레임이 바뀔 때마다 계수 동작을 수행시키는 제1 과정과; 라인 클릭에 동기되어 라인이 바뀔 때마다 계수 동작을 수행시키는 제2 과정과; 픽셀 클릭에 동기되어 픽셀이 바뀔 때마다 계수 동작을 수행시키는 제3 과정과; 상기 제1 과정을 통해 인출된 출력 신호에 응답하여 프레임이 바뀔 때마다 상기 제1 과정으로 업데이트를 위한 값을 피드백시키는 제4 과정과; 상기 제2 과정을 통해 인출된 출력 신호에 응답하여 라인이 바뀔 때마다 업데이트를 위한 값을 발생시키는 제5 과정과; 제1 선택 신호의 로직레벨에 응답하여 상기 제2 과정으로 프레임이 바뀔 때마다 상기 제1 과정을 통해 인출된 초기값을 피드백시키고 라인이 바뀔 때마다 상기 제5 과정을 통해 인출된 업데이트를 위한 값을 피드백시키는 동작을 선택적으로 반복 수행하는 제6 과정과; 상기 제3 과정을 통해 인출된 출력 신호에 응답하여 픽셀이 바뀔 때마다 업데이트를 위한 값을 발생시키는 제7 과정과; 그리고 제2 선택 신호의 로직레벨에 응답하여 상기 제3 과정으로 프레임이 바뀔 때마다 상기 제1 과정을 통해 인출된 초기값을 출력하고 라인이 바뀔 때마다 상기 제2 과정을 통해 인출된 초기값을 출력하며 픽셀이 바뀔 때마다 상기 제7 과정을 통해 인출된 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행하는 제8 과정을 포함하되, 상기 제4 과정은 프레임이 바뀔 때마다 가산되는 값이 랜덤하게 주어지고, 상기 제5 과정은 라인이 바뀔 때마다 가산되는 값이 랜덤하게 주어지며, 상기 제7 과정은 픽셀이 바뀔 때마다 가산되는 값이 랜덤하게 주어지는 것을 포함한다.

<65> (작용)

<66> 이러한 장치 및 방법에 의하면, 디더링 패턴 레지스터의 크기를 확장시키지 않고 복수 개의 그레이 레벨들을 저장할 수 있는 디더 및 프레임 레이트 제어 블록을 구비한

엘시디 제어기를 구현할 수 있다.

<67> (실시예)

<68> 이하에서는 청구범위와 관련된 본 발명의 상세한 설명을 바람직한 실시예를 통하여 설명한다.

<69> 첨부도면은 본 발명에 대한 이해를 한층 높이기 위해 포함된 것으로, 이 명세서의 일부를 구성한다.

<70> 후술될 본 발명의 바람직한 일실시예에서는 16 그레이 레벨(Gray Level)들을 지원하며 4 개의 픽셀 값들을 동시에 출력하는 엘시디 제어기를 가정하여 본 발명에 대한 전반적인 내용을 상세히 살펴본다.

<71> 도 2a 및 도 2b는 본 발명의 일실시예에 따른 디더 및 프레임 레이트 제어 블록도이다.

<72> 도 2a 및 도 2b를 참조하면, 본 발명은 각 그레이 레벨의 분모의 값 만큼의 비트 수를 이용하여 디더링 패턴 값을 제공한다.

<73> 먼저, 본 발명의 바람직한 일실시예는 1, 6/7, 4/5, 5/7, 3/4, 2/3, 3/5, 4/7, 1/2, 3/7, 2/5, 1/3, 1/4, 1/5, 1/7, 0 을 16 그레이 레벨들로 정의한다. 물론, 상기한 16 그레이 레벨들은 엘시디 제어기의 구조와 액정 표시 장치의 특성에 따라 다양하게 변형될 수 있다.

<74> 본 발명은 상기한 각 그레이 레벨의 분모의 값 만큼의 비트 수를 사용하여 각 그레이 레벨에 대한 필요한 듀티 싸이클(Duty Cycle) 값을 '0'과 '1'을 이용하여 프로그램한다.

<75> 이에 따라, 6/7은 '0111111', 4/5는 '11101', 5/7는 '1101101', 3/4은 '0111', 2/3는 '



011', 3/5은 '01011', 4/7는 '0101011', 1/2은 '0110', 3/7은 '1010100', 2/5는 '00110', 1/3은 '100', 1/4은 '1000', 1/5은 '10000', 1/7은 '0000001' 으로 각각 프로그램된다.

<76> 도 2a 및 도 2b를 참조하면, 상단의 디더링 패턴 레지스터부(40)는 제1 그룹 내지 제4 그룹(42, 44, 46, 48)으로 세분된다. 제1 그룹(42)은 16 개의 그레이 레벨들 중 분모의 값이 7인 그레이 레벨들의 프로그램된 값들을 저장한다. 즉, 그레이 레벨이 1/7인 값에 대한 디더링 패턴 값인 '0000001'과 그레이 레벨이 3/7인 값에 대한 디더링 패턴 값인 '1010100'과 그레이 레벨이 4/7인 값에 대한 디더링 패턴 값인 '0101011'과 그레이 레벨이 5/7인 값에 대한 디더링 패턴 값인 '1101101' 그리고 그레이 레벨이 6/7인 값에 대한 디더링 패턴 값인 '0111111'이 각각 블록 100 내지 108에 저장된다.

<77> 제2 그룹(44)은 16 개의 그레이 레벨들 중 분모의 값이 5인 그레이 레벨들의 프로그램된 값들을 저장한다. 즉, 그레이 레벨이 1/5인 값에 대한 디더링 패턴 값인 '10000'과 그레이 레벨이 2/5인 값에 대한 디더링 패턴 값인 '00110'과 그레이 레벨이 3/5인 값에 대한 디더링 패턴 값인 '01011' 그리고 그레이 레벨이 4/5인 값에 대한 디더링 패턴 값인 '11101'이 각각 블록 110 내지 116에 저장된다.

<78> 제3 그룹(46)은 16 개의 그레이 레벨들 중 분모의 값이 4인 그레이 레벨들의 프로그램된 값들을 저장한다. 즉, 그레이 레벨이 1/4인 값에 대한 디더링 패턴 값인 '1000'과 그레이 레벨이 1/2(2/4)인 값에 대한 디더링 패턴 값인 '0110' 그리고 그레이 레벨이 3/4인 값에 대한 디더링 패턴 값인 '0111'이 각각 블록 118 내지 122에 저장된다.

<79> 제4 그룹(48)은 16 개의 그레이 레벨들 중 분모의 값이 3인 그레이 레벨들의 프로그램된 값들을 저장한다. 즉, 그레이 레벨이 1/3인 값에 대한 디더링 패턴 값인 '100' 그

리고 그레이 레벨이 2/3인 값에 대한 디더링 패턴 값인 '011'이 각각 블록 124와 126에 저장된다.

<80> 제1 그룹 내지 제4 그룹(42, 44, 46, 48)의 하단에 표기된 숫자들은 각각 후술될 모듈러 레지스터 카운터들의 출력 값에 의해 결정되는 것으로, 엘시디 패널상에 출력될 4 개의 픽셀 값들을 결정한다. 즉, 제1 그룹(42) 내에 프로그램된 그레이 레벨들은 모듈러 7 레지스터 카운터의 출력 값에 따라 4bit의 최상위 비트 내지 최하위 비트가 결정된다. 제2 그룹(44) 내에 프로그램된 그레이 레벨들은 모듈러 5 레지스터 카운터의 출력 값에 따라 4bit의 최상위 비트 내지 최하위 비트가 결정된다. 제3 그룹(46) 내에 프로그램된 그레이 레벨들은 모듈러 4 레지스터 카운터의 출력 값에 따라 4bit의 최상위 비트 내지 최하위 비트가 결정된다.

<81> 그리고 제4 그룹(48) 내에 프로그램된 그레이 레벨들은 모듈러 3 레지스터 카운터의 출력 값에 따라 4bit의 최상위 비트 내지 최하위 비트가 결정된다. 이에 대한 보다 구체적인 설명은 후술될 전반적인 동작 설명에서 자세히 언급할 것이다.

<82> 다시 도 2a 및 도 2b를 참조하면, 모듈러 레지스터 카운터들(128, 130, 132, 134)과 멀티플렉서들(136, 138, 140, 142, 144, 146, 148, 150, 152, 154, 156, 158, 160, 162)이 도시되어 있다. 모듈러 레지스터 카운터들(128, 130, 132, 134)은 각각 4개의 멀티플렉서 그룹들(50, 52, 54, 56)과 결합되어 4 개의 픽셀 데이터들을 선택/출력하기 위해 사용된다. 즉, 디더링 패턴 레지스터부(40)의 제1 그룹(42) 내에 프로그램되어 저장된 그레이 레벨들에 대한 4bit의 최상위 비트를 결정하기 위한 모듈러 7 레지스터 카운터(128)와 상기 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 제1 그룹(42) 내에 프로그램되어 저장된 각 그레이 레벨의 최상위 비트 이하 4bit를 동시에 출력하는 제1 멀티플렉서 그룹

(50)이 상호 결합된다. 제1 멀티플렉서 그룹(50)은 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 1/7의 최상위 비트 이하 4bit를 출력하는 1/7용 멀티플렉서(136)와, 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 3/7의 최상위 비트 이하 4bit를 출력하는 3/7용 멀티플렉서(138)와, 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 4/7의 최상위 비트 이하 4bit를 출력하는 4/7용 멀티플렉서(140)와, 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 5/7의 최상위 비트 이하 4bit를 출력하는 5/7용 멀티플렉서(142) 및 모듈러 7 레지스터 카운터(128)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 6/7의 최상위 비트 이하 4bit를 출력하는 6/7용 멀티플렉서(144)를 구비한다.

<83> 디더링 패턴 레지스터부(40)의 제2 그룹(44) 내에 프로그램되어 저장된 그레이 레벨들에 대한 4bit의 최상위 비트를 결정하기 위한 모듈러 5 레지스터 카운터(130)와 상기 모듈러 5 레지스터 카운터(130)의 출력 값에 따라 제2 그룹(44) 내에 프로그램되어 저장된 각 그레이 레벨의 최상위 비트 이하 4bit를 동시에 출력하는 제2 멀티플렉서 그룹(52)이 상호 결합된다. 제2 멀티플렉서 그룹(52)은 모듈러 5 레지스터 카운터(130)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 1/5의 최상위 비트 이하 4bit를 출력하는 1/5용 멀티플렉서(146)와, 모듈러 5 레지스터 카운터(130)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 2/5의 최상위 비트 이하 4bit를 출력하는 2/5용 멀티플렉서(148)와, 모듈러 5 레지스터 카운터(130)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 3/5의 최상위

비트 이하 4bit를 출력하는 3/5용 멀티플렉서(150) 및 모듈러 5 레지스터 카운터(130)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 4/5의 최상위 비트 이하 4bit를 출력하는 4/5용 멀티플렉서(152)를 구비한다.

<84> 디더링 패턴 레지스터부(40)의 제3 그룹(46) 내에 프로그램되어 저장된 그레이 레벨들에 대한 4bit의 최상위 비트를 결정하기 위한 모듈러 4 레지스터 카운터(132)와 상기 모듈러 4 레지스터 카운터(132)의 출력 값에 따라 제3 그룹(46) 내에 프로그램되어 저장된 각 그레이 레벨의 최상위 비트 이하 4bit를 동시에 출력하는 제3 멀티플렉서 그룹(54)이 상호 결합된다. 제3 멀티플렉서 그룹(54)은 모듈러 4 레지스터 카운터(132)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 1/4의 최상위 비트 이하 4bit를 출력하는 1/4용 멀티플렉서(154)와, 모듈러 4 레지스터 카운터(132)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 1/2의 최상위 비트 이하 4bit를 출력하는 1/2용 멀티플렉서(156) 및 모듈러 4 레지스터 카운터(132)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 3/4의 최상위 비트 이하 4bit를 출력하는 3/4용 멀티플렉서(158)를 구비한다. 그리고

<85> 디더링 패턴 레지스터부(40)의 제4 그룹(48) 내에 프로그램되어 저장된 그레이 레벨들에 대한 4bit의 최상위 비트를 결정하기 위한 모듈러 3 레지스터 카운터(134)와 상기 모듈러 3 레지스터 카운터(134)의 출력 값에 따라 제4 그룹(48) 내에 프로그램되어 저장된 각 그레이 레벨의 최상위 비트 이하 4bit를 동시에 출력하는 제4 멀티플렉서 그룹(56)이 상호 결합된다. 제4 멀티플렉서 그룹(56)은 모듈러 3 레지스터 카운터(134)의 출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 1/3의 최상위 비트 이하 4bit를 출력하는 1/3용 멀티플렉서(160)와, 모듈러 3 레지스터 카운터(134)의

출력 값에 따라 필요한 듀티 사이클로 프로그램되어 저장된 그레이 레벨 2/3의 최상위 비트 이하 4bit를 출력하는 2/3용 멀티플렉서(162)를 구비한다. 마찬가지로 이와 관련된 보다 자세한 내용은 후술될 전반적인 동작 설명을 통하여 상세히 기술할 것이다.

<86> 도 2a 및 도 2b에 도시된 바와 같이, 본 발명은 각 그레이 레벨의 분모의 값 만큼의 비트 수를 사용하여 각 그레이 레벨에 대한 디더링 패턴 값을 형성한다. 이것은 플립 플롭의 개수를 감소시켜 전력소모를 최소화한다.

<87> 도 3은 도 2a 및 도 2b에 도시된 모듈러 레지스터 카운터들(128, 130, 132, 134)의 상세 블록도이다.

<88> 도 3을 참조하면, 모듈러 레지스터 카운터들(128, 130, 132, 134) 중 모듈러 7 레지스터 카운터(128)의 상세 블록도가 도시되고 있다. 도 3은 모듈러 7 레지스터 카운터(128)만을 도시하고 있지만, 상기한 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)의 내부 회로도 또한 이와 동일하며, 더 나아가 디더링 패턴 레지스터부(40)를 구성하는 각 그룹의 갯수에 비례하여 증가되는 모듈러 레지스터 카운터들도 도 3에 도시된 카운터 회로 구성과 동일한 구성을 가짐을 밝혀둔다.

<89> 도 3을 참조하면, 모듈러 7 레지스터 카운터(128)는 프레임 클럭(Frame Clock)에 동기되어 프레임이 바뀔 때마다 계수 동작을 수행하는 모듈러 7 프레임 카운터(164)와, 라인 클럭(Line Clock)에 동기되어 라인이 바뀔 때마다 계수 동작을 수행하는 모듈러 7 라인 카운터(166)와, 픽셀 클럭(Pixel Clock)에 동기되어 픽셀이 바뀔 때마다 계수 동작을 수행하는 모듈러 7 픽셀 카운터(168)와, 상기 모듈

러 7 프레임 카운터(164)의 출력 신호에 응답하여 프레임이 바뀔 때마다 상기 모듈러 7 프레임 카운터(164)로 업데이트를 위한 값을 출력하는 다음 프레임 계수 발생부(170)와, 상기 모듈러 7 라인 카운터(166)의 출력 신호에 응답하여 라인이 바뀔 때마다 업데이트를 위한 값을 출력하는 다음 라인 계수 발생부(172)와, 제1 선택 신호(SE1)의 로직레벨에 응답하여 상기 모듈러 7 라인 카운터(166)로 프레임이 바뀔 때마다 상기 모듈러 7 프레임 카운터(164)의 초기값을 출력하고 라인이 바뀔 때마다 상기 다음 라인 계수 발생부(172)로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행하는 제1 멀티플렉서(174)와, 상기 모듈러 7 픽셀 카운터(168)의 출력 신호에 응답하여 픽셀이 바뀔 때마다 업데이트를 위한 값을 출력하는 다음 픽셀 계수 발생부(176) 및 제2 선택 신호(SE2)의 로직레벨에 응답하여 상기 모듈러 7 픽셀 카운터(168)로 프레임이 바뀔 때마다 상기 모듈러 7 프레임 카운터(168)의 초기값을 출력하고 라인이 바뀔 때마다 상기 모듈러 7 라인 카운터(166)의 초기값을 출력하며 픽셀이 바뀔 때마다 상기 다음 픽셀 계수 발생부(176)로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행하는 제2 멀티플렉서(178)를 구비한다.

<90>        상기 다음 프레임 계수 발생부(170)는 프레임이 바뀔 때마다 가산되는 값이 랜덤하게 주어지고, 상기 다음 라인 계수 발생부(172)는 라인이 바뀔 때마다 가산되는 값이 랜덤하게 주어지며, 상기 다음 픽셀 계수 발생부(176)는 픽셀이 바뀔 때마다 가산되는 값이 랜덤하게 주어진다.

<91>        도 3에 도시된 바와 같이, 상기한 구성을 갖는 모듈러 레지스터 카운터는 각

라인의 패턴간에 연관성을 없애기 위해 라인이 바뀔 때마다 모듈러 라인 카운터의 값이 모듈러 픽셀 카운터에 업데이트 된다. 또 시간적으로 패턴간의 연관성을 없애기 위해 프레임이 바뀔 때마다 모듈러 프레임 카운터의 값이 모듈러 라인 카운터와 모듈러 픽셀 카운터에 업데이트 된다. 가령, 첫 화면의 첫 라인이 시작될 때 모듈러 프레임 카운터의 값이 0으로 리셋된다고 하면, 프레임 클럭이 발생됨과 동시에 상기 모듈러 프레임 카운터의 0은 모듈러 라인 카운터와 모듈러 픽셀 카운터로 각각 전달된다. 이후 모듈러 프레임 카운터는 다음 프레임을 위한 값으로 업데이트 된다. 또한, 라인 클럭이 발생된 후 모듈러 라인 카운터의 값은 다음 모듈러 라인 카운터의 값으로 업데이트 되고 모듈러 픽셀 카운터는 픽셀 클럭이 발생할 때마다 다음 픽셀 카운터 값으로 업데이트 되고 한 라인의 동작이 완료된 후 라인 카운터 값으로 업데이트 된다.

<92> 본 발명은 이와 같이 카운터 값을 다양하게 가져감으로써 한 라인 또는 한 프레임 내에서 듀티 싸이클을 유지하고 더 나아가 프레임 간에 듀티 싸이클을 유지시켜 공간적으로 또 시간적으로 디더링을 수행한다.

<93> 이하에서는 지금까지 상술한 내용을 토대로 본 발명의 바람직한 실시예로 제시된 엘시디 제어기의 동작관계를 구체적으로 살펴본다.

<94> 첫번째 예는 동일한 그레이 레벨을 갖는 80 개의 픽셀 데이터가 패널상에 출력되는 경우이다. 이 경우 픽셀 어레이의 구조는 다양하게 존재할 수 있겠지만, 여기서는 한 라인에 16 개의 픽셀 데이터가 출력되는 매트릭스 형태로 가정한다. 그리고 여기에 출력되는 그레이 레벨은 1/7로 가정한다.

<95> 이에 따라, 패널상에는 표 1에 나타난 그레이 레벨들의 프로그램 데이터가 출력된다.

&lt;96&gt; 【표 1】

	제1 픽셀	제2 픽셀	제3 픽셀	제4 픽셀	제5 픽셀	제6 픽셀	제7 픽셀	제8 픽셀	제9 픽셀	제10 픽셀	제11 픽셀	제12 픽셀	제13 픽셀	제14 픽셀	제15 픽셀	제16 픽셀
첫 라인	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7
두 번째 라인	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7
세 번째 라인	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7
네 번째 라인	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7
다 섯 번째 라인	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7	1/7

<97> 먼저, 각 라인은 4 개의 픽셀 데이터가 동시에 순차적으로 출력되는 것으로 가정한다. 또, 모듈러 7 레지스터 카운터(128)는 픽셀이 바뀔 때마다, 라인이 바뀔 때마다, 프레임이 바뀔 때마다 소정의 랜덤한 값으로 업데이트되는 것으로 가정한다. 즉, 모듈러 7 픽셀 카운터(168)는 픽셀이 바뀔 때마다 4씩 증가하고 모듈러 7 라인 카운터(166)는 라인이 바뀔 때마다 3씩 증가하며 모듈러 7 프레임 카운터(164)는 프레임이 바뀔 때마다 2씩 증가하는 것으로 정의한다.

<98> 상기한 바와 같이, 그레이 레벨 1/7에 대한 디더링 패턴 듀티 싸이클 값은 '0000001'이다. 이 값은 디더링 패턴 레지스터부(40)의 제1 그룹(42)의 블록 100에 저장되어 있다. 물론, 상기에서 예로 든 나머지 그레이 레벨들에 대한 듀티 싸이클 값들도 모두 디더링 패턴 레지스터부(40)의 해당 그룹(42 내지 48)의 해당 블록(102 내지 126)에 저장되어 있다.



<99> 첫 프레임의 첫 라인이 시작될 때, 모듈러 7 레지스터 카운터(128) 내에 존재하는 모듈러 7 프레임 카운터(164) 값은 '0'으로 리셋된다고 하자. 이 경우 프레임 클럭이 발생되면 '0'으로 리셋되어 있던 모듈러 7 프레임 카운터(164) 값은 모듈러 7 라인 카운터(166)와 모듈러 7 픽셀 카운터(168)로 각각 전달된다. 이에 따라, 모듈러 7 라인 카운터(166)와 모듈러 7 픽셀 카운터(168)는 각각 '0'을 출력한다. 참고로, 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)들 내에 존재하는 모듈러 프레임 카운터들과 모듈러 라인 카운터들 및 모듈러 픽셀 카운터들도 상기한 동일한 방법에 의해 각각 '0'을 출력한다.

<100> 현재 시스템은 첫 프레임의 첫 라인의 첫번째 4 개의 픽셀들에 대한 픽셀 데이터들의 출력여부를 인식하고 있다. 따라서, 모듈러 프레임 카운터들과 모듈러 라인 카운터들 및 모듈러 픽셀 카운터들 중 모듈러 픽셀 카운터들의 출력 값만 의미가 있을 뿐, 모듈러 프레임 카운터들과 모듈러 라인 카운터들의 출력 값들은 현재로서는 무의미하다. 다시 말하면, 모듈러 라인 카운터들의 출력 값들이 유효한 값들로 되기 위해서는 라인이 바뀔 때이고 모듈러 프레임 카운터들의 출력 값들이 유효한 값들로 되기 위해서는 프레임이 바뀔 때이다. 따라서 픽셀 값만이 바뀌고 있는 현재로서는, 모듈러 픽셀 카운터들의 출력 값만이 유효하다. 이에 따라 모듈러 7 레지스터 카운터(128)는 모듈러 7 픽셀 카운터(168)의 출력 값인 '0'을 출력한다. 마찬가지로 모듈러 5 레지스터 카운터(130)는 모듈러 5 픽셀 카운터(도 3에 도시되어 있지 않음.)의 출력 값인 '0'을 출력한다. 또한 모듈러 4 레지스터 카운터(132)는 모듈러 4 픽셀 카운터(도 3에 도시되어 있지 않음.)의 출력 값인 '0'을 출력한다. 또한 모듈러 3 레지스터 카운터(134)는 모듈러 3 픽셀 카운터(도 3에 도시되어 있지 않음.)의 출력 값인 '0'을 출력한다. 결국, 모듈러 7 레지스터 카

운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134)는 각각 '0'을 출력하여 디더링 패턴 레지스터부(40) 내의 제1 그룹 내지 제4 그룹(42, 44, 46, 48) 내에 저장되어 있는 디더링 패턴 듀티 싸이클 값들의 출력을 위한 4bit(bit field)의 최상위 비트를 결정한다. 이에 따라, 모듈러 7 레지스터 카운터(128)는 제1 그룹(42) 내에 저장되어 있는 1/7, 3/7, 4/7, 5/7, 6/7에 대한 각각의 디더링 패턴 듀티 싸이클 값들의 비트 필드(bit field)를 결정한다. 즉, '0000001'과 '1010100'과 '0101011'과 '1101101' 및 '0111111'의 비트 필드를 결정한다. 상기한 바와 같이, 모듈러 7 레지스터 카운터(128)의 출력 값이 '0' 이므로 각각 좌로부터 0번째 값이 출력되어 4bit의 최상위 비트로 결정된다. 즉, '0000001'에서는 '0'이, '1010100'에서는 '1'이, '0101011'에서는 '0'이, '1101101'에서는 '1'이 그리고 '0111111'에서는 '0'이 비트 필드의 최상위 비트로 각각 결정된다. 또한, 제2 그룹(44)에서는 모듈러 5 레지스터 카운터(130)의 출력 값 '0'에 의해 '10000'에서는 '1'이, '00110'에서는 '0'이, '01011'에서는 '0'이, 그리고 '11101'에서는 '1'이 각각 비트 필드의 최상위 비트로 결정된다. 또한, 제3 그룹(46)에서는 모듈러 4 레지스터 카운터(132)의 출력 값 '0'에 의해 '1000'에서는 '1'이, '0110'에서는 '0'이 그리고 '0111'에서는 '0'이 각각 비트 필드의 최상위 비트로 결정된다. 또한, 제4 그룹(48)에서는 모듈러 3 레지스터 카운터(134)의 출력 값 '0'에 의해 '100'에서는 '1'이 그리고 '011'에서는 '0'이 각각 4bit의 비트 필드의 최상위 비트로 결정된다.

<101> 도 2의 제1 그룹 내지 제4 그룹(42, 44, 46, 48)의 하단에 나타낸 숫자들은 상기한 모듈러 레지스터 카운터들(128, 130, 132, 134)의 출력 값에 따라 결정된 최상위 비트 이하 4비트가 선택된다는 것을 나타낸다. 가령, 제1 그룹(42) 내의 그레이 레벨 1/7에 대한 디더링 패턴 듀티 싸이클인 '0000001'은 첫 프레임의 첫 라인의 첫번째 4개의 픽셀

값에 대해 모듈러 7 픽셀 카운터(168)가 4씩 증가하는 경우 첫번째 픽셀은 우로부터 여섯번째 비트 내지 세번째 비트(6:3)까지 선택된다. 즉, '0000'이 1/7용 멀티플렉서를 통해 선택된다. 두번째 픽셀은 모듈러 7 픽셀 카운터(168)가 4씩 증가하므로 우로부터 두번째 비트 내지 영번째 비트까지 그리고 여섯번째 비트 값(2:0, 6)이 선택된다. 즉, '0010'이 1/7용 멀티플렉서를 통해 선택된다. 세번째 픽셀은 다시 4씩 증가하므로 우로부터 다섯번째 비트 내지 두번째 비트 값(5:2)이 선택된다. 즉, '0000'이 1/7용 멀티플렉서를 통해 선택된다. 네번째 픽셀은 다시 4씩 증가하여 우로부터 첫번째 비트와 영번째 비트 값(1:0)과 여섯번째 비트와 다섯번째 비트 값(6:5)이 선택된다. 즉, '0100'이 1/7용 멀티플렉서를 통해 선택된다. 선택된 4비트 필드의 각 픽셀 값들은 최종적으로 선택수단에 의해 하나의 디지털 값이 해당 픽셀에 할당된다. 즉, 첫번째 픽셀에는 '0000' 중 첫번째 열 값인 '0'이 할당된다. 두번째 픽셀에는 '0010' 중 두번째 열 값인 '0'이 할당된다. 세번째 픽셀에는 '0000' 중 세번째 열 값인 '0'이 할당된다. 마지막으로 네번째 픽셀에는 '0100' 중 '0'이 할당된다. 이에 관한 보다 자세한 설명은 이하에서 후술한다.

<102> 도 2a 및 도 2b에 도시된 제1 멀티플렉서 그룹(50)과 제2 멀티플렉서 그룹(52)과 제3 멀티플렉서 그룹(54) 및 제4 멀티플렉서 그룹(56)은 각각 전술한 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134)들의 출력 값들로부터 결정된 최상위 비트 이하 4비트의 비트 필드를 선택/출력하는 기능을 수행한다. 즉, 제1 멀티플렉서 그룹(50)은 제1 그룹(42)에 대한 4비트의 비트 필드를 선택/출력한다. 즉, 1/7용 멀티플렉서(136)는 그레이 레벨 1/7에 대한 디더링 패턴 듀티 싸이클 값인 '0000001' 중 여섯번째 비트 내지 세번째 비트까지의 값을 선택/출력한다. 즉, '0000'을 선택/출력한다. 3/7용 멀티플렉서(138)는

그레이 레벨 3/7에 대한 디더링 패턴 듀티 싸이클 값인 '1010100' 중 여섯번째 비트 내지 세번째 비트까지의 값을 선택/출력한다. 즉, '1010'을 선택/출력한다. 4/7용 멀티플렉서(140)는 그레이 레벨 4/7에 대한 디더링 패턴 듀티 싸이클 값인 '0101011' 중 여섯번째 비트 내지 세번째 비트까지의 값을 선택/출력한다. 즉, '0101'을 선택/출력한다. 5/7용 멀티플렉서(142)는 그레이 레벨 5/7에 대한 디더링 패턴 듀티 싸이클 값인 '1101101' 중 여섯번째 비트 내지 세번째 비트까지의 값을 선택/출력한다. 즉, '1101'을 선택/출력한다. 6/7용 멀티플렉서(144)는 그레이 레벨 6/7에 대한 디더링 패턴 듀티 싸이클 값인 '0111111' 중 여섯번째 비트 내지 세번째 비트까지의 값을 선택/출력한다. 즉, '0111'을 선택/출력한다.

<103> 또한, 제2 멀티플렉서 그룹(52)은 제2 그룹(44)에 대한 4비트의 비트 필드를 선택/출력한다. 즉, 1/5용 멀티플렉서(146)는 그레이 레벨 1/5에 대한 디더링 패턴 듀티 싸이클 값인 '10000' 중 네번째 비트 내지 첫번째 비트까지의 값을 선택/출력한다. 즉, '1000'을 선택/출력한다. 2/5용 멀티플렉서(148)는 그레이 레벨 2/5에 대한 디더링 패턴 듀티 싸이클 값인 '00110' 중 네번째 비트 내지 첫번째 비트까지의 값을 선택/출력한다. 즉, '0011'을 선택/출력한다. 3/5용 멀티플렉서(150)는 그레이 레벨 3/5에 대한 디더링 패턴 듀티 싸이클 값인 '01011' 중 네번째 비트 내지 첫번째 비트까지의 값을 선택/출력한다. 즉, '0101'을 선택/출력한다. 그리고 4/5용 멀티플렉서(152)는 그레이 레벨 4/5에 대한 디더링 패턴 듀티 싸이클 값인 '11101' 중 네번째 비트 내지 첫번째 비트까지의 값을 선택/출력한다. 즉, '1110'을 선택/출력한다.

<104> 또한, 제3 멀티플렉서 그룹(54)은 제3 그룹(42)에 대한 4비트의 비트 필드를 선택/출력한다. 즉, 1/4용 멀티플렉서(154)는 그레이 레벨 1/4에 대한 디더링 패턴 듀티 싸이

클 값인 '1000' 중 세번째 비트 내지 영번째 비트까지의 값을 선택/출력한다. 즉, '1000'을 선택/출력한다. 1/2용 멀티플렉서(156)는 그레이 레벨 1/2에 대한 디더링 패턴 듀티 싸이클 값인 '0110' 중 세번째 비트 내지 영번째 비트까지의 값을 선택/출력한다. 즉, '0110'을 선택/출력한다. 그리고 3/4용 멀티플렉서(122)는 그레이 레벨 3/4에 대한 디더링 패턴 듀티 싸이클 값인 '0111' 중 세번째 비트 내지 영번째 비트까지의 값을 선택/출력한다. 즉, '0111'을 선택/출력한다.

<105> 또한, 제4 멀티플렉서 그룹(56)은 제4 그룹(48)에 대한 4비트의 바트 필드를 선택/출력한다. 즉, 1/3용 멀티플렉서(160)는 그레이 레벨 1/3에 대한 디더링 패턴 듀티 싸이클 값인 '100' 중 두번째 비트 내지 영번째 비트 그리고 다시 두번째 비트까지의 값을 선택/출력한다. 즉, '1001'을 선택/출력한다. 그리고 2/3용 멀티플렉서(162)는 그레이 레벨 2/3에 대한 디더링 패턴 듀티 싸이클 값인 '011' 중 두번째 비트 내지 영번째 비트 그리고 다시 두번째 비트까지의 값을 선택/출력한다. 즉, '0110'을 선택/출력한다.

<106> 이와 같은 방법을 통해 선택된 16 개의 그레이 레벨들에 대한 각각의 데이터 패턴들은 선택 수단을 통해 최종적으로 선택된 하나의 비트가 패널상의 해당 픽셀에 할당된다.

<107> 본 발명의 바람직한 일실시예로 상기에서 제시한 표 1에서는 모든 픽셀 값들을 1/7로 가정하였다. 따라서 상기한 데이터 패턴들 중에서 그레이 레벨 1/7과 관련이 있는 데이터 패턴들만 유효하며, 나머지 데이터 패턴 값들은 첫번째 예로 제시된 본 발명의 바람직한 일실시예에서는 관계없다.

<108> 이에 따라 표 1에서 첫번째 라인에는 제1 멀티플렉서 그룹(50) 내의 1/7용 멀티플

렉서(136)에 의해 선택된 데이터 패턴들만으로 각 픽셀 데이터들이 채워진다. 즉, 첫번째 라인의 제1 픽셀 내지 제4 픽셀에는 각각 '0000', '0010', '0000', 그리고 '0100' 중에서 해당 열의 비트 값이 할당된다. 즉, 첫번째 픽셀에는 '0000'의 우로부터 세번째 비트 값인 '0'이 할당된다. 두번째 픽셀에는 '0010'의 우로부터 두번째 비트 값인 '0'이 할당된다. 세번째 픽셀에는 '0000'의 우로부터 첫번째 비트 값인 '0'이 할당된다. 그리고 네번째 픽셀에는 '0100'의 우로부터 영번째 비트 값인 '0'이 할당된다. 또한, 첫번째 라인의 제5 픽셀 내지 제8 픽셀에는 각각 '0000', '1000', '0001', 그리고 '0000' 중에서 해당 열의 비트 값이 할당된다. 즉, 첫번째 라인의 제5 픽셀에는 '0000'의 우로부터 세번째 비트 값인 '0'이 할당된다. 첫번째 라인의 제6 픽셀에는 '1000'의 우로부터 두번째 비트 값인 '0'이 할당된다. 첫번째 라인의 제7 픽셀에는 '0001'의 우로부터 첫번째 비트 값인 '0'이 할당된다. 그리고 첫번째 라인의 제8 픽셀에는 '0000'의 우로부터 영번째 비트 값인 '0'이 할당된다. 또한, 첫번째 라인의 제9 픽셀 내지 제12 픽셀에는 각각 '0010', '0000', '0100', 그리고 '0000' 중에서 해당 열의 비트 값이 할당된다. 즉, 첫번째 라인의 제9 픽셀에는 '0010'의 우로부터 세번째 비트 값인 '0'이 할당된다. 첫번째 라인의 제10 픽셀에는 '0000'의 우로부터 두번째 비트 값인 '0'이 할당된다. 첫번째 라인의 제11 픽셀에는 '0100'의 우로부터 첫번째 비트 값인 '0'이 할당된다. 그리고 첫번째 라인의 제12 픽셀에는 '0000'의 우로부터 영번째 비트 값인 '0'이 할당된다. 마지막으로, 첫번째 라인의 제13 픽셀 내지 제16 픽셀에는 각각 이전 픽셀에서 카운터 값이 4씩 증가하므로 '1000', '0001', '0000', 그리고 '0010' 중에서 해당 열의 비트 값이 할당된다. 즉, 첫번째 라인의 제13 픽셀에는 '1000'의 우로부터 세번째 비트 값인 '1'이 할당된다. 첫번째 라인의 제14 픽셀에는 '0001'의 우로부터 두번째 비트 값인 '0'이 할당된다. 첫번째 라인의 제15 픽셀에는 '0000'의 우로부터 첫번째 비트

값인 '0'이 할당된다. 그리고 첫번째 라인의 제16 픽셀에는 '0010'의 우로부터 영번째 비트 값인 '0'이 할당되어 16 개의 픽셀들로 구성되는 첫번째 라인에 대한 픽셀 데이터들의 출력이 완료된다.

<109> 이어, 두번째 라인에 대한 픽셀 데이터의 출력 과정이 진행된다. 이때 유념해야 할 점은 전술한 바와 같이, 모듈러 픽셀 카운터는 픽셀이 바뀔 때마다 4씩 증가하고 모듈러 라인 카운터는 라인이 바뀔 때마다 3씩 증가하며 모듈러 프레임 카운터는 프레임이 바뀔 때마다 2씩 증가하는 것으로 가정하였다. 참고로, 모듈러 프레임 카운터는 프레임이 바뀔 때마다 최초의 초기 값으로 리셋되고 모듈러 라인 카운터는 프레임이 바뀔 때마다 최초의 초기 값으로 리셋된다.

<110> 따라서, 두번째 라인의 동작시 도 3에 도시된 모듈러 레지스터 카운터의 출력 상태는 하기와 같다. 라인이 바뀔 때에 따라 모든 카운터들은 초기의 값으로 리셋된다. 이에 따라 모듈러 7 프레임 카운터(164)와 모듈러 7 라인 카운터(166) 그리고 모듈러 7 픽셀 카운터(168)는 각각 0을 출력한다. 그리고 모듈러 7 라인 카운터(166)는 라인이 바뀔 때마다 3씩 증가하므로 최종적으로 초기 값이 3이 된다. 또한 모듈러 7 픽셀 카운터(168)는 도 3에 도시된 바와 같이 모듈러 7 라인 카운터(166)의 출력 값인 3인 전달되므로 최종적으로 3이 초기 값으로 된다. 정리하면, 모듈러 7 프레임 카운터(164)는 0을, 모듈러 7 라인 카운터(166)는 3을, 그리고 모듈러 7 픽셀 카운터(168)는 3을 최종적인 초기 값으로 각각 출력한다. 16 개의 픽셀들로 구성된 두번째 라인에 대한 이후의 동작은 다시 픽셀들간의 동작으로 모듈러 7 픽셀 카운터(168)만 픽셀이 바뀔 때마다 4씩 증가하며 모듈러 7 프레임 카운터(164)와 모듈러 7 라인 카운터(166)의 초기 값은 각각 0과 3으로 고정된다.

<111> 따라서, 도 2a 및 도 2b에 도시된 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134)들의 초기 값들은 모두 모듈러 픽셀 카운터의 초기 값들로 각각 3이 된다. 본 발명의 첫 번째 실시예에서는 1/7을 예로 기술하고 있으므로 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)와 관련된 데이터 패턴들에 대한 설명은 약한다.

<112> 이하에서 기술될 두번째 라인의 각 픽셀 데이터의 출력 관계도 전술한 첫번째 라인의 각 픽셀 데이터의 출력 관계와 동일한 방법으로 진행된다. 다만, 두번째 라인에서는 1/7 디더링 패턴 듀티 싸이클 값이 좌로부터 세번째 비트부터 비트 필드가 결정되는 점에서 차이가 있을 뿐 픽셀이 바뀔 때마다 4씩 증가되는 점은 이전과 동일하다.

<113> 따라서, 이에 대한 상세한 설명은 생략하고 각 픽셀에 대한 4비트 비트 필드의 데이터 패턴들과 최종적인 비트 값만을 살펴본다. 또한 세번째 라인과 네번째 라인 그리고 다섯번째 라인에 대한 상세한 설명도 아울러 생략하며, 다만, 라인이 바뀔 때마다 초기 값이 어떻게 바뀌는지에 관하여 중점적으로 살펴본다.

<114> 첫번째 라인과 동일한 방법을 취하면, 최종적으로 두번째 라인의 각 픽셀에 출력되는 픽셀 데이터들은 각각 하기와 같다.

<115> 두번째 라인의 제1 픽셀 내지 제4 픽셀에는 '0000001'의 좌로부터 세번째 비트부터 4씩 증가하면서 선택/출력된다. 이에 따라 '0001', '0000', '0010', 그리고 '0000'이 데이터 패턴들로 선택되고 선택 수단을 통해 최종적으로 4개의 픽셀들에는 각각 '0', '0', '1' 그리고 '0'이 출력된다. 두번째 라인의 제5 픽셀 내지 제8 픽셀에는 '0100', '0000', '1000', 그리고



'0001'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0', 그리고 '1'이 각각 출력된다. 두번째 라인의 제9 픽셀 내지 제12 픽셀에는 '0000', '0010', '0000', 그리고 '0100'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0', 그리고 '0'이 각각 출력된다. 마지막으로 두번째 라인의 제13 픽셀 내지 제16 픽셀에는 '0000', '1000', '0001', 그리고 '0000'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0', 그리고 '0'이 각각 출력된다.

<116> 세번째 라인은 모듈러 7 픽셀 카운터(168)를 리셋시키더라도 모듈러 7 라인 카운터(166)의 값 3과 라인이 바뀔 때마다 3씩 증가하므로 6이 최종적으로 모듈러 7 픽셀 카운터(168)로 전달되어 6이 출력된다. 이에 따라 모듈러 7 레지스터 카운터(128)는 6을 초기 값으로 가진다. 따라서 세번째 라인은 '0000001'의 좌로부터 여섯번째의 비트부터 4씩 증가하며 데이터 패턴을 출력한다. 즉, 세번째 라인의 제1 픽셀 내지 제4 픽셀에는 각각 '1000', '0001', '0000' 그리고 '0010'이 데이터 패턴들로 선택되고 최종적으로 '1', '0', '0', 그리고 '0'이 각각 출력된다. 세번째 라인의 제5 픽셀 내지 제8 픽셀에는 각각 '0000', '0100', '0000', 그리고 '1000'이 데이터 패턴들로 선택되고 최종적으로 '0', '1', '0' 그리고 '0'이 각각 출력된다. 세번째 라인의 제9 픽셀 내지 제12 픽셀에는 각각 '0001', '0000', '0010' 그리고 '0000'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '1' 그리고 '0'이 각각 출력된다. 마지막으로 세번째 라인의 제13 픽셀 내지 제16 픽셀에는 '0100', '0000', '1000' 그리고 '0001'이 데이터 패턴들로 선택되어 최종적으로 '0', '0', '0' 그리고 '1'이 각각 출력된다.

<117> 네번째 라인의 모듈러 7 픽셀 카운터(168)는 2부터 시작하여 4씩 증가한다. 왜냐하면, 그레이 레벨 1/7에 대한 디더링 패턴 듀티 싸이클 값이 7비트로 구성되어 있으므로 카운터 값이 6을 넘어서면 다시 반복되기 때문이다. 이에 따라 네번째 라인의 제1 픽셀

내지 제4 픽셀에는 각각 '0000', '1000', '0001' 그리고 '0000'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0', 그리고 '0'이 각각 출력된다. 네번째 라인의 제5 픽셀 내지 제8 픽셀에는 각각 '0010', '0000', '0100', 그리고 '0000'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0' 그리고 '0'이 각각 출력된다. 네번째 라인의 제9 픽셀 내지 제12 픽셀에는 각각 '1000', '0001', '0000' 그리고 '0010'이 데이터 패턴들로 선택되고 최종적으로 '1', '0', '0' 그리고 '0'이 각각 출력된다. 마지막으로 네번째 라인의 제13 픽셀 내지 제16 픽셀에는 '0000', '0100', '0000' 그리고 '1000'이 데이터 패턴들로 선택되어 최종적으로 '0', '1', '0' 그리고 '0'이 각각 출력된다.

<118>       마지막 다섯번째 라인의 모듈러 7 픽셀 카운터(168)는 5부터 시작하여 4씩 증가한다. 이에 따라 다섯번째 라인의 제1 픽셀 내지 제4 픽셀에는 각각 '0100', '0000', '1000' 그리고 '0001'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0', 그리고 '1'이 각각 출력된다. 다섯번째 라인의 제5 픽셀 내지 제8 픽셀에는 각각 '0000', '0010', '0000', 그리고 '0100'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0' 그리고 '0'이 각각 출력된다. 다섯번째 라인의 제9 픽셀 내지 제12 픽셀에는 각각 '0000', '1000', '0001' 그리고 '0000'이 데이터 패턴들로 선택되고 최종적으로 '0', '0', '0' 그리고 '0'이 각각 출력된다. 마지막으로 다섯번째 라인의 제13 픽셀 내지 제16 픽셀에는 '0010', '0000', '0100' 그리고 '0000'이 데이터 패턴들로 선택되어 최종적으로 '0', '0', '0' 그리고 '0'이 각각 출력되어 1 프레임에 대한 동작이 완료된다. 따라서 모듈러 7 프레임 카운터(164)는 2를 출력한다.

<119>       지금까지 살펴본 표 1에 대한 출력 데이터들을 표 2에 도시한다.

<120>

【표 2】

	제1 픽셀	제2 픽셀	제3 픽셀	제4 픽셀	제5 픽셀	제6 픽셀	제7 픽셀	제8 픽셀	제9 픽셀	제10 픽셀	제11 픽셀	제12 픽셀	제13 픽셀	제14 픽셀	제15 픽셀	제16 픽셀
첫 번째 라인	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
두 번째 라인	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0
세 번째 라인	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1
네 번째 라인	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0
다 섯 번째 라인	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

<121> 이하에서는 본 발명의 기술적 사상이 보다 명확히 드러날 수 있도록 하기한 표 3에 도시된 바와 같은 두번째 예를 가정한다. 하기한 표 3은 80개의 픽셀 어레이들로 이루어져 있으며, 표 3의 각 픽셀에는 상기한 16개의 그레이 레벨들이 랜덤하게 출력된다.

<122> 【표 3】

	제1 픽셀	제2 픽셀	제3 픽셀	제4 픽셀	제5 픽셀	제6 픽셀	제7 픽셀	제8 픽셀	제9 픽셀	제10 픽셀	제11 픽셀	제12 픽셀	제13 픽셀	제14 픽셀	제15 픽셀	제16 픽셀
첫 번째 라인	6/7	4/5	5/7	3/4	2/3	3/5	4/7	1/2	3/7	2/5	1/3	1/4	1/5	1/7	6/7	4/5
두 번째 라인	5/7	3/4	2/3	3/5	4/7	1/2	3/7	2/5	1/3	1/4	1/5	1/7	6/7	4/5	5/7	3/4
세 번째 라인	2/3	3/5	4/7	1/2	3/7	2/5	1/3	2/4	1/5	1/7	6/7	4/5	5/7	3/4	2/3	3/5
네 번째 라인	4/7	1/2	3/7	2/5	1/3	1/4	1/5	1/7	6/7	4/5	5/7	3/4	2/3	3/5	4/7	1/2
다 섯 번째 라인	3/7	2/5	1/3	1/4	1/5	1/7	6/7	4/5	5/7	3/4	2/3	3/5	4/7	1/2	3/7	2/5

<123> 먼저, 각 라인에는 한번에 4개의 픽셀 데이터들이 순차적으로 출력되는 것으로 가정하고, 해당 모듈러 레지스터 카운터는 픽셀이 바뀔 때마다 1씩 증가하고 라인이 바뀔 때마다 2씩 증가하며 프레임이 바뀔 때마다 3씩 증가하는 것으로 가정한다. 또한, 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134) 내에 각각 존재하는 모듈러 7 프레임 카운터와 모듈러 5 프레임 카운터와 모듈러 4 프레임 카운터 및 모듈러 3 프레임 카운터는 첫 프레임의 첫 라인이 시작할 때 각각 0의 값으로 리셋된다고 가정한다.

<124> 이와 같은 조건하에서 프레임 클럭(Frame clock)이 인가되면 각 모듈러 프레임 카운터의 출력 0은 각각 해당 모듈러 라인 카운터와 모듈러 픽셀 카운터로 전달된다. 이에 따라 모듈러 7 라인 카운터와 모듈러 5 라인 카운터와 모듈러 4 라인 카운터 및 모듈러 3 라인 카운터는 각각 0을 출력한다. 마찬가지로 모듈러 7 픽셀 카운터와 모듈러 5 픽셀 카운터와 모듈러 4 픽셀 카운터 및 모듈러 3 픽셀 카운터는 각각 0을 출력한다.

<125> 첫 프레임의 첫번째 라인에서는 픽셀만이 변화한다. 따라서, 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134)는 각각 모듈러 7 픽셀 카운터와 모듈러 5 픽셀 카운터와 모듈러 4 픽셀 카운터 및 모듈러 3 픽셀 카운터의 출력인 0을 최종적으로 출력한다.

<126> 상기와 같은 조건하에서 상기한 표 3에 대한 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 및 모듈러 3 레지스터 카운터(134)의 출력 관계는 하기한 표 4와 같다.

<127>

【표 4】

	모듈러 7 레지스터 카운터	모듈러 5 레지스터 카운터	모듈러 4 레지스터 카운터	모듈러 3 레지스터 카운터
첫번째 라인의 제1 픽셀 내지 제4 픽셀	0	0	0	0
첫번째 라인의 제5 픽셀 내지 제8 픽셀	1	1	1	1
첫번째 라인의 제9 픽셀 내지 제12 픽셀	2	2	2	2
첫번째 라인의 제13 픽셀 내지 제16 픽셀	3	3	3	0
두번째 라인의 제1 픽셀 내지 제4 픽셀	2	2	2	2
두번째 라인의 제5 픽셀 내지 제8 픽셀	3	3	3	0
두번째 라인의 제9 픽셀 내지 제12 픽셀	4	4	0	1
두번째 라인의 제13 픽셀 내지 제16 픽셀	5	0	1	2
세번째 라인의 제1 픽셀 내지 제4 픽셀	4	4	0	1
세번째 라인의 제5 픽셀 내지 제8 픽셀	5	0	1	2
세번째 라인의 제9 픽셀 내지 제12 픽셀	6	1	2	0
세번째 라인의 제13 픽셀 내지 제16 픽셀	0	2	3	1
네번째 라인의 제1 픽셀 내지 제4 픽셀	6	1	2	0
네번째 라인의 제5 픽셀 내지 제8 픽셀	0	2	3	1
네번째 라인의 제9 픽셀 내지 제12 픽셀	1	3	0	2
네번째 라인의 제13 픽셀 내지 제16 픽셀	2	4	1	0
다섯번째 라인의 제1 픽셀 내지 제4 픽셀	1	3	0	2
다섯번째 라인의 제5 픽셀 내지 제8 픽셀	2	4	1	0
다섯번째 라인의 제9 픽셀 내지 제12 픽셀	3	0	2	1
다섯번째 라인의 제13 픽셀 내지 제16 픽셀	4	1	3	2

를 살펴본다.

<129> 먼저, 첫번째 라인의 제1 픽셀 내지 제4 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<130> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 6/7과 4/5와 5/7 그리고 3/4의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0111111', '11101', '1101101', '0111'이다. 또한, 상기한 표 4에서 첫번째 라인의 제1 픽셀 내지 제4 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130) 그리고 모듈러 4 레지스터 카운터(132)의 출력 값은 각각 0 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 영번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 6/7용 멀티플렉서(144)와 4/5용 멀티플렉서(152)와 5/7용 멀티플렉서(142) 그리고 3/4용 멀티플렉서(158)로부터 출력되는 그레이 레벨 6/7과 4/5와 5/7 그리고 3/4에 대한 데이터 패턴 값은 각각 '0111'과 '1110'과 '1101' 그리고 '0111' 이다. 따라서 그레이 레벨 6/7에 대한 제1 픽셀의 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 4/5에 대한 제2 픽셀 데이터 값은 최종적으로 '1110'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 5/7에 대한 제3 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 3/4에 대한 제4 픽셀의 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 영번째 비트 값인 '1'이다.

<131> 다음, 첫번째 라인의 제5 픽셀 내지 제8 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<132> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 2/3와

3/5과 4/7 그리고 1/2의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '011', '01011', '0101011', '0110'이다. 또한, 상기한 표 4에서 첫번째 라인의 제5 픽셀 내지 제8 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)의 출력 값은 각각 1 이다(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정). 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 첫번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 2/3용 멀티플렉서(162)와 3/5용 멀티플렉서(150)와 4/7용 멀티플렉서(140) 그리고 1/2용 멀티플렉서(156)로부터 출력되는 그레이 레벨 2/3와 3/5과 4/7 그리고 1/2에 대한 데이터 패턴 값은 각각 '1101'과 '1011'과 '1010' 그리고 '1100' 이다. 따라서 그레이 레벨 2/3에 대한 제5 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 3/5에 대한 제6 픽셀 데이터 값은 최종적으로 '1011'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 4/7에 대한 제7 픽셀의 픽셀 데이터 값은 최종적으로 '1010'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 1/2에 대한 제8 픽셀의 픽셀 데이터 값은 최종적으로 '1100'의 우로부터 영번째 비트 값인 '0'이다.

<133> 다음, 첫번째 라인의 제9 픽셀 내지 제12 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<134> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 3/7과 2/5와 1/3 그리고 1/4의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '1010100', '00110', '100', '1000'이다. 또한, 상기한 표 4에서 첫번째 라인의 제9 픽셀 내지 제12 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모

들러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)의 출력 값은 각각 2 이다(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정). 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 두번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 3/7용 멀티플렉서(138)와 2/5용 멀티플렉서(148)와 1/3용 멀티플렉서(160) 그리고 1/4용 멀티플렉서(154)로부터 출력되는 그레이 레벨 3/7과 2/5와 1/3 그리고 1/4에 대한 데이터 패턴 값은 각각 '1010'과 '1100'과 '0100' 그리고 '0010' 이다. 따라서 그레이 레벨 3/7에 대한 제9 픽셀의 픽셀 데이터 값은 최종적으로 '1010'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 2/5에 대한 제10 픽셀 데이터 값은 최종적으로 '1100'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 1/3에 대한 제11 픽셀의 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 1/4에 대한 제12 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 영번째 비트 값인 '0'이다.

<135> 다음, 첫번째 라인의 제13 픽셀 내지 제16 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<136> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 1/5과 1/7과 6/7 그리고 4/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '10000', '0000001', '0111111', '11101'이다. 또한, 상기한 표 4에서 첫번째 라인의 제13 픽셀 내지 제16 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)의 출력 값은 각각 3 이다(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정). 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티



싸이클의 좌로부터 세번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 1/5용 멀티플렉서(146)와 1/7용 멀티플렉서(136)와 6/7용 멀티플렉서(144) 그리고 4/5용 멀티플렉서(152)로부터 출력되는 그레이 레벨 1/5과 1/7과 6/7 그리고 4/5에 대한 데이터 패턴 값은 각각 '0010'과 '0001'과 '1111' 그리고 '0111' 이다. 따라서 그레이 레벨 1/5에 대한 제13 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/7에 대한 제14 픽셀 데이터 값은 최종적으로 '0001'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 6/7에 대한 제15 픽셀의 픽셀 데이터 값은 최종적으로 '1111'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 4/5에 대한 제16 픽셀의 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 영번째 비트 값인 '1'이다.

<137> 다음, 두번째 라인의 제1 픽셀 내지 제4 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<138> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 5/7와 3/4과 2/3 그리고 3/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '1101101', '0111', '011', '01011'이다. 또한, 상기한 표 4에서 두번째 라인의 제1 픽셀 내지 제4 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132) 그리고 모듈러 3 레지스터 카운터(134)의 출력 값은 각각 2 이다(라인이 바뀔 때마다 카운터는 리셋되고 또한 2씩 증가하는 것으로 가정.) 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 두번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 5/7용 멀티플렉서(142)와 3/4용 멀티플렉서(158)와 2/3용 멀티플

렉서(162) 그리고 3/5용 멀티플렉서(150)로부터 출력되는 그레이 레벨 5/7와 3/4과 2/3 그리고 3/5에 대한 데이터 패턴 값은 각각 '0110'과 '1101'과 '1011' 그리고 '0110' 이다. 따라서 그레이 레벨 5/7에 대한 제1 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 3/4에 대한 제2 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 2/3에 대한 제3 픽셀의 픽셀 데이터 값은 최종적으로 '1011'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 3/5에 대한 제4 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 영번째 비트 값인 '0'이다.

<139> 다음, 두번째 라인의 제5 픽셀 내지 제8 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<140> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 4/7와 1/2과 3/7 그리고 2/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0101011', '0110', '1010100', '00110'이다. 또한, 상기한 표 4에서 두번째 라인의 제5 픽셀 내지 제8 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)와 모듈러 4 레지스터 카운터(132)의 출력 값은 각각 3 이다(픽셀이 바뀔 때마다 카운터는 1 씩 증가하는 것으로 가정.) 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 세번째 비트부터 4비트가 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 4/7용 멀티플렉서(140)와 1/2용 멀티플렉서(156)와 3/7용 멀티플렉서(138) 그리고 2/5용 멀티플렉서(148)로부터 출력되는 그레이 레벨 4/7와 1/2과 3/7 그리고 2/5에 대한 데이터 패턴 값은 각각 '1011'과 '0011'과 '0100' 그리고 '1000' 이다. 따라서 그레이 레벨 4/7에 대한 제5 픽셀의 픽셀 데이

터 값은 최종적으로 '1011'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 1/2에 대한 제6 픽셀 데이터 값은 최종적으로 '0011'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 3/7에 대한 제7 픽셀의 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 2/5에 대한 제8 픽셀의 픽셀 데이터 값은 최종적으로 '1000'의 우로부터 영번째 비트 값인 '0'이다.

<141> 다음, 두번째 라인의 제9 픽셀 내지 제12 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<142> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 1/3과 1/4과 1/5 그리고 1/7의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '100', '1000', '10000', '0000001'이다. 또한, 상기한 표 4에서 두번째 라인의 제9 픽셀 내지 제12 픽셀의 모듈러 7 레지스터 카운터(128)와 모듈러 5 레지스터 카운터(130)의 출력 값은 각각 4 이고(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 모듈러 4 레지스터 카운터(132)의 출력 값은 0 이며(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 4 레지스터 카운터는 3 까지 셀 수 있음.) 모듈러 3 레지스터 카운터(134)의 출력 값은 1 이다(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 1/7과 1/5은 네번째 비트부터 4비트가, 그레이 레벨 1/4은 영번째 비트부터 4비트가, 그레이 레벨 1/3은 첫번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 1/3용 멀티플렉서(160)로부터 출력되는 그레이 레벨 1/3에 대한 데이터 패턴 값은 '0010' 이다. 1/4용 멀티플렉서(154)로부터 출력되는 그레이 레벨 1/4에 대한 데이터 패턴 값은 '1000' 이다. 1/5용 멀티플렉서(146)와

1/7용 멀티플렉서(136)로부터 출력되는 그레이 레벨 1/5과 1/7에 대한 데이터 패턴 값은 각각 '0100'과 '0010' 이다. 따라서 그레이 레벨 1/3에 대한 제9 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/4에 대한 제10 픽셀 데이터 값은 최종적으로 '1000'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 1/5에 대한 제11 픽셀의 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 1/7에 대한 제12 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 영번째 비트 값인 '0'이다.

<143> 다음, 두번째 라인의 제13 픽셀 내지 제16 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<144> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 6/7과 4/5와 5/7 그리고 3/4의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0111111', '11101', '1101101', '0111'이다. 또한, 상기한 표 4에서 두번째 라인의 제13 픽셀 내지 제16 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 5(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 5 레지스터 카운터는 4 까지 셀 수 있음.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 6/7은 다섯번째 비트부터 4비트가, 그레이 레벨 4/5는 영번째 비트부터 4비트가, 5/7는 첫번째 비트부터 4비트가 그리고 그레이 레벨 3/4은 두번째 비트

부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 6/7용 멀티플렉서(144)로부터 출력되는 그레이 레벨 6/7에 대한 데이터 패턴 값은 '1101' 이다. 4/5용 멀티플렉서(152)로부터 출력되는 그레이 레벨 4/5에 대한 데이터 패턴 값은 '1110' 이다. 5/7용 멀티플렉서(142)로부터 출력되는 그레이 레벨 5/7에 대한 데이터 패턴 값은 '0111' 이다. 3/4용 멀티플렉서(158)로부터 출력되는 그레이 레벨 3/4에 대한 데이터 패턴 값은 '1101' 이다. 따라서 그레이 레벨 6/7에 대한 제13 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 4/5에 대한 제14 픽셀 데이터 값은 최종적으로 '1110'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 5/7에 대한 제15 픽셀의 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 3/4에 대한 제16 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 영번째 비트 값인 '1'이다.

<145> 다음, 세번째 라인의 제1 픽셀 내지 제4 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<146> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 2/3와 3/5과 4/7 그리고 1/2의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '011', '01011', '0101011', '0110'이다. 또한, 상기한 표 4에서 세번째 라인의 제1 픽셀 내지 제4 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 4(라인이 바뀔 때마다 카운터는 2씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 4(라인이 바뀔 때마다 카운터는 2씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 0(라인이 바뀔 때마다 카운터는 2씩 증가하고 모듈러 4 레지스터 카운터는 3 까지 셀 수 있음.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 1(라인이 바뀔

때마다 카운터는 2씩 증가하고 모듈러 3 레지스터 카운터는 2 까지 셀 수 있음.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 2/3는 네번째 비트부터 4비트가, 그레이 레벨 3/5은 네번째 비트부터 4비트가, 4/7는 영번째 비트부터 4비트가 그리고 그레이 레벨 1/2은 첫번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 아에 따라 도 2a 및 도 2b에 도시된 2/3용 멀티플렉서(162)로부터 출력되는 그레이 레벨 2/3에 대한 데이터 패턴 값은 '1101' 이다. 3/5용 멀티플렉서(150)로부터 출력되는 그레이 레벨 3/5에 대한 데이터 패턴 값은 '1010' 이다. 4/7용 멀티플렉서(140)로부터 출력되는 그레이 레벨 4/7에 대한 데이터 패턴 값은 '0110' 이다. 1/2용 멀티플렉서(156)로부터 출력되는 그레이 레벨 1/2에 대한 데이터 패턴 값은 '0110' 이다. 따라서 그레이 레벨 2/3에 대한 제1 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 3/5에 대한 제2 픽셀 데이터 값은 최종적으로 '1010'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 4/7에 대한 제3 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 1/2에 대한 제4 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 영번째 비트 값인 '0'이다.

<147> 다음, 세번째 라인의 제5 픽셀 내지 제8 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<148> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 3/7과 2/5와 1/3 그리고 1/4의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '1010100', '00110', '100', '1000'이다. 또한, 상기한 표 4에서 세번째 라인의

제5 픽셀 내지 제8 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 5(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.)이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 5 레지스터 카운터는 4까지 셀 수 있음.)이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.)이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.)이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 사이클의 좌로부터 그레이 레벨 3/7은 다섯번째 비트부터 4비트가, 그레이 레벨 2/5는 영번째 비트부터 4비트가, 1/3은 첫번째 비트부터 4비트가 그리고 그레이 레벨 1/4은 두번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 3/7용 멀티플렉서(138)로부터 출력되는 그레이 레벨 3/7에 대한 데이터 패턴 값은 '0010'이다. 2/5용 멀티플렉서(148)로부터 출력되는 그레이 레벨 2/5에 대한 데이터 패턴 값은 '0011'이다. 1/3용 멀티플렉서(160)로부터 출력되는 그레이 레벨 1/3에 대한 데이터 패턴 값은 '0010'이다. 1/4용 멀티플렉서(154)로부터 출력되는 그레이 레벨 1/4에 대한 데이터 패턴 값은 '0010'이다. 따라서 그레이 레벨 3/7에 대한 제5 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 세번째 비트 값인 '0'이다. 그레이 레벨 2/5에 대한 제6 픽셀 데이터 값은 최종적으로 '0011'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 1/3에 대한 제7 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 1/4에 대한 제8 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 영번째 비트 값인 '0'이다.

&lt;149&gt;

다음, 세번째 라인의 제9 픽셀 내지 제12 픽셀에 대한 픽셀 데이터들의 출력 관계

는 다음과 같다.

<150> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 1/5과 1/7과 6/7 그리고 4/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '10000', '0000001', '0111111', '11101'이다. 또한, 상기한 표 4에서 세번째 라인의 제9 픽셀 내지 제12 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 6(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 1/5은 첫번째 비트부터 4비트가, 그레이 레벨 1/7은 여섯번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 1/5용 멀티플렉서(146)로부터 출력되는 그레이 레벨 1/5에 대한 데이터 패턴 값은 '0000' 이다. 1/7용 멀티플렉서(136)로부터 출력되는 그레이 레벨 1/7에 대한 데이터 패턴 값은 '1000' 이다. 6/7용 멀티플렉서(144)로부터 출력되는 그레이 레벨 6/7에 대한 데이터 패턴 값은 '1011' 이다. 4/5용 멀티플렉서(152)로부터 출력되는 그레이 레벨 4/5에 대한 데이터 패턴 값은 '1101' 이다. 따라서 그레이 레벨 1/5에 대한 제9 픽셀의 픽셀 데이터 값은 최종적으로 '0000'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/7에 대한 제10 픽셀 데이터 값은 최종적으로 '1000'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 6/7에 대한 제11 픽셀의 픽셀 데이터 값은 최종적으로 '1011'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 4/5에 대한 제12 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 영번째 비트 값인 '1'이다.

<151> 다음, 세번째 라인의 제13 픽셀 내지 제16 픽셀에 대한 픽셀 데이터들의 출력 관계



는 다음과 같다.

<152> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 5/7와 3/4과 2/3 그리고 3/5의 디더링 패턴 듀티 싸이클 값은 상가한 바와 같이 각각 '1101101', '0111', '011', '01011'이다. 또한, 상기한 표 4에서 세번째 라인의 제13 픽셀 내지 제16 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 7 레지스터 카운터는 6 까지 셀 수 있음.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 3(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 5/7는 영번째 비트부터 4비트가, 그레이 레벨 3/4은 세번째 비트부터 4비트가, 2/3는 첫번째 비트부터 4비트가 그리고 그레이 레벨 3/5은 세번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 5/7용 멀티플렉서(142)로부터 출력되는 그레이 레벨 5/7에 대한 데이터 패턴 값은 '1101' 이다. 3/4용 멀티플렉서(158)로부터 출력되는 그레이 레벨 3/4에 대한 데이터 패턴 값은 '1011' 이다. 2/3용 멀티플렉서(162)로부터 출력되는 그레이 레벨 2/3에 대한 데이터 패턴 값은 '1101' 이다. 3/5용 멀티플렉서(150)로부터 출력되는 그레이 레벨 3/5에 대한 데이터 패턴 값은 '0110' 이다. 따라서 그레이 레벨 5/7에 대한 제13 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 3/4에 대한 제14 픽셀 데이터 값은 최종적으로 '1011'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 2/3에 대

한 제15 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 3/5에 대한 제16 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 영번째 비트 값인 '0'이다.

<153> 다음, 네번째 라인의 제1 픽셀 내지 제4 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<154> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 4/7와 1/2과 3/7 그리고 2/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0101011', '0110', '1010100', '00110'이다. 또한, 상기한 표 4에서 네번째 라인의 제1 픽셀 내지 제4 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 6(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하는 것으로 가정.)이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 1(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하는 것으로 가정.)이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 2(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하는 것으로 가정.)이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 4/7는 여섯번째 비트부터 4비트가, 그레이 레벨 1/2은 두번째 비트부터 4비트가, 3/7은 여섯번째 비트부터 4비트가 그리고 그레이 레벨 2/5는 첫번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 4/7용 멀티플렉서(140)로부터 출력되는 그레이 레벨 4/7에 대한 데이터 패턴 값은 '1010'이다. 1/2용 멀티플렉서(156)로부터 출력되는 그레이 레벨 1/2에 대한 데이터 패턴 값은 '1001'이다. 3/7용 멀티플렉서(138)로부터 출력되는 그레이 레벨 3/7에 대한 데이터 패턴 값은 '0101'이다. 2/5용 멀티플렉서(148)로부터 출력되는 그레이 레벨 2/5에 대한 데이터 패턴 값은 '0110'이다.

- <155> 따라서 그레이 레벨 4/7에 대한 제1 픽셀의 픽셀 데이터 값은 최종적으로 '1010'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 1/2에 대한 제2 픽셀 데이터 값은 최종적으로 '1001'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 3/7에 대한 제3 픽셀의 픽셀 데이터 값은 최종적으로 '0101'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 2/5에 대한 제4 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 영번째 비트 값인 '0'이다.
- <156> 다음, 네번째 라인의 제5 픽셀 내지 제8 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.
- <157> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 1/3과 1/4과 1/5 그리고 1/7의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '100', '1000', '10000', '0000001'이다.
- <158> 또한, 상기한 표 4에서 네번째 라인의 제5 픽셀 내지 제8 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 7 레지스터 카운터는 6 까지 셀 수 있음.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 3(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다.
- <159> 모듈러 3 레지스터 카운터(134)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 1/3은 첫번째

비트부터 4비트가, 그레이 레벨 1/4은 세번째 비트부터 4비트가, 1/5은 두번째 비트부터 4비트가 그리고 그레이 레벨 1/7은 영번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 1/3용 멀티플렉서(160)로부터 출력되는 그레이 레벨 1/3에 대한 데이터 패턴 값은 '0010' 이다. 1/4용 멀티플렉서(154)로부터 출력되는 그레이 레벨 1/4에 대한 데이터 패턴 값은 '0100' 이다. 1/5용 멀티플렉서(146)로부터 출력되는 그레이 레벨 1/5에 대한 데이터 패턴 값은 '0001' 이다. 1/7용 멀티플렉서(136)로부터 출력되는 그레이 레벨 1/7에 대한 데이터 패턴 값은 '0000' 이다. 따라서 그레이 레벨 1/3에 대한 제5 픽셀의 픽셀 데이터 값은 최종적으로 '0010'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/4에 대한 제6 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 1/5에 대한 제7 픽셀의 픽셀 데이터 값은 최종적으로 '0001'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 1/7에 대한 제8 픽셀의 픽셀 데이터 값은 최종적으로 '0000'의 우로부터 영번째 비트 값인 '0'이다.

<160> 다음, 네번째 라인의 제9 픽셀 내지 제12 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<161> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 6/7과 4/5와 5/7 그리고 3/4의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0111111', '11101', '1101101', '0111'이다. 또한, 상기한 표 4에서 네번째 라인의 제9 픽셀 내지 제12 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 3(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다.

<162> 모듈러 4 레지스터 카운터(132)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩

증가하고 모듈러 4 레지스터 카운터는 3 까지 셀 수 있음.) 이다. 이것은 도 2에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 6/7은 첫번째 비트부터 4비트가, 그레이 레벨 4/5는 세번째 비트부터 4비트가, 5/7는 첫번째 비트부터 4비트가 그리고 그레이 레벨 3/4은 영번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 6/7용 멀티플렉서(144)로부터 출력되는 그레이 레벨 6/7에 대한 데이터 패턴 값은 '1111' 이다. 4/5용 멀티플렉서(152)로부터 출력되는 그레이 레벨 4/5에 대한 데이터 패턴 값은 '0111' 이다. 5/7용 멀티플렉서(142)로부터 출력되는 그레이 레벨 5/7에 대한 데이터 패턴 값은 '1011' 이다. 3/4용 멀티플렉서(158)로부터 출력되는 그레이 레벨 3/4에 대한 데이터 패턴 값은 '0111' 이다. 따라서 그레이 레벨 6/7에 대한 제9 픽셀의 픽셀 데이터 값은 최종적으로 '1111' 의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 4/5에 대한 제10 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 5/7에 대한 제11 픽셀의 픽셀 데이터 값은 최종적으로 '1011'의 우로부터 첫번째 비트 값인 '1'이다. 그리고 그레이 레벨 3/4에 대한 제12 픽셀의 픽셀 데이터 값은 최종적으로 '0111'의 우로부터 영번째 비트 값인 '1'이다.

<163> 다음, 네번째 라인의 제13 픽셀 내지 제16 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<164> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 2/3와 3/5과 4/7 그리고 1/2의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '011', '01011', '0101011', '0110'이다. 또한, 상기한 표 4에서 네번째 라인의 제13 픽셀 내지 제 16 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는

1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 4(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 3 레지스터 카운터는 2 까지 셀 수 있음.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 다더링 패턴 듀티 사이클의 좌로부터 그레이 레벨 2/3는 영번째 비트부터 4비트가, 그레이 레벨 3/5은 네번째 비트부터 4비트가, 4/7는 두번째 비트부터 4비트가 그리고 그레이 레벨 1/2은 첫번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 2/3용 멀티플렉서(162)로부터 출력되는 그레이 레벨 2/3에 대한 데이터 패턴 값은 '0110' 이다. 3/5용 멀티플렉서(150)로부터 출력되는 그레이 레벨 3/5에 대한 데이터 패턴 값은 '1010' 이다. 4/7용 멀티플렉서(140)로부터 출력되는 그레이 레벨 4/7에 대한 데이터 패턴 값은 '0101' 이다. 1/2용 멀티플렉서(156)로부터 출력되는 그레이 레벨 1/2에 대한 데이터 패턴 값은 '1100' 이다. 따라서 그레이 레벨 2/3에 대한 제13 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 3/5에 대한 제14 픽셀 데이터 값은 최종적으로 '1010'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 4/7에 대한 제15 픽셀의 픽셀 데이터 값은 최종적으로 '0101'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 1/2에 대한 제16 픽셀의 픽셀 데이터 값은 최종적으로 '1100'의 우로부터 영번째 비트 값인 '0'이다.

<165> 다음, 다섯번째 라인의 제1 픽셀 내지 제4 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<166> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 3/7과 2/5와 1/3 그리고 1/4의 디더링 패턴 듀티 싸이클 값은 상가한 바와 같이 각각 '1010100', '00110', '100', '1000'이다. 또한, 상기한 표 4에서 다섯번째 라인의 제1 픽셀 내지 제4 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 1(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하며 모듈러 7 레지스터 카운터는 6 까지 셀 수 있음.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 3(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 0(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하며 모듈러 4 레지스터 카운터는 3 까지 셀 수 있음.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 2(라인이 바뀔 때마다 카운터는 리셋되고 2씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 3/7은 첫번째 비트부터 4비트가, 그레이 레벨 2/5는 세번째 비트부터 4비트가, 1/3은 영번째 비트부터 4비트가 그리고 그레이 레벨 1/4은 두번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 3/7용 멀티플렉서(138)로부터 출력되는 그레이 레벨 3/7에 대한 데이터 패턴 값은 '0101' 이다. 2/5용 멀티플렉서(148)로부터 출력되는 그레이 레벨 2/5에 대한 데이터 패턴 값은 '1000' 이다. 1/3용 멀티플렉서(160)로부터 출력되는 그레이 레벨 1/3에 대한 데이터 패턴 값은 '0100' 이다. 1/4용 멀티플렉서(154)로부터 출력되는 그레이 레벨 1/4에 대한 데이터 패턴 값은 '1000' 이다. 따라서 그레이 레벨 3/7에 대한 제1 픽셀의 픽셀 데이터 값은 최종적으로 '0101'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 2/5에 대한 제2 픽셀 데이터 값은 최종적으로 '1000'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 1/3에 대한 제3 픽

셀의 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 1/4에 대한 제4 픽셀의 픽셀 데이터 값은 최종적으로 '1000'의 우로부터 영번째 비트 값인 '0'이다.

<167> 다음, 다섯번째 라인의 제5 픽셀 내지 제8 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<168> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 1/5과 1/7과 6/7 그리고 4/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '10000', '0000001', '0111111', '11101'이다. 또한, 상기한 표 4에서 다섯번째 라인의 제5 픽셀 내지 제8 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 4(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 1/5은 네번째 비트부터 4비트가, 그레이 레벨 1/7은 두번째 비트부터 4비트가, 6/7은 두번째 비트부터 4비트가 그리고 그레이 레벨 4/5는 네번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 1/5용 멀티플렉서(146)로부터 출력되는 그레이 레벨 1/5에 대한 데이터 패턴 값은 '0100' 이다. 1/7용 멀티플렉서(136)로부터 출력되는 그레이 레벨 1/7에 대한 데이터 패턴 값은 '0000' 이다. 6/7용 멀티플렉서(144)로부터 출력되는 그레이 레벨 6/7에 대한 데이터 패턴 값은 '1111' 이다. 4/5용 멀티플렉서(152)로부터 출력되는 그레이 레벨 4/5에 대한



데이터 패턴 값은 '1111' 이다. 따라서 그레이 레벨 1/5에 대한 제5 픽셀의 픽셀 데이터 값은 최종적으로 '0100'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/7에 대한 제6 픽셀 데이터 값은 최종적으로 '0000'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 6/7에 대한 제7 픽셀의 픽셀 데이터 값은 최종적으로 '1111'의 우로부터 첫번째 비트 값인 '1'이다.

<169> 그리고 그레이 레벨 4/5에 대한 제8 픽셀의 픽셀 데이터 값은 최종적으로 '1111'의 우로부터 영번째 비트 값인 '1'이다.

<170> 다음, 다섯번째 라인의 제9 픽셀 내지 제12 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<171> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 5/7와 3/4과 2/3 그리고 3/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '1101101', '0111', '011', '01011'이다. 또한, 상기한 표 4에서 다섯번째 라인의 제9 픽셀 내지 제12 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은 3(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 0(픽셀이 바뀔 때마다 카운터는 1씩 증가하고 모듈러 5 레지스터 카운터는 4 까지 셀 수 있음.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 2(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 3 레지스터 카운터(134)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 5/7는 세번째

비트부터 4비트가, 그레이 레벨 3/4은 두번째 비트부터 4비트가, 2/3는 첫번째 비트부터 4비트가 그리고 그레이 레벨 3/5은 영번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 5/7용 멀티플렉서(142)로부터 출력되는 그레이 레벨 5/7에 대한 데이터 패턴 값은 '1101' 이다. 3/4용 멀티플렉서(158)로부터 출력되는 그레이 레벨 3/4에 대한 데이터 패턴 값은 '1101' 이다. 2/3용 멀티플렉서(162)로부터 출력되는 그레이 레벨 2/3에 대한 데이터 패턴 값은 '1101' 이다. 3/5용 멀티플렉서(150)로부터 출력되는 그레이 레벨 3/5에 대한 데이터 패턴 값은 '0101' 이다. 따라서 그레이 레벨 5/7에 대한 제9 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 세번째 비트 값인 '1' 이다. 그레이 레벨 3/4에 대한 제10 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 두번째 비트 값인 '1'이다. 그레이 레벨 2/3에 대한 제11 픽셀의 픽셀 데이터 값은 최종적으로 '1101'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 3/5에 대한 제12 픽셀의 픽셀 데이터 값은 최종적으로 '0101'의 우로부터 영번째 비트 값인 '1'이다.

<172> 마지막으로, 다섯번째 라인의 제13 픽셀 내지 제16 픽셀에 대한 픽셀 데이터들의 출력 관계는 다음과 같다.

<173> 도 2a 및 도 2b에 도시된 디더링 패턴 레지스터(40)에 저장된 그레이 레벨 4/7와 1/2과 3/7 그리고 2/5의 디더링 패턴 듀티 싸이클 값은 상기한 바와 같이 각각 '0101011', '0110', '1010100', '00110'이다. 또한, 상기한 표 4에서 다섯번째 라인의 제13 픽셀 내지 제16 픽셀의 모듈러 7 레지스터 카운터(128)의 출력 값은

4(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 5 레지스터 카운터(130)의 출력 값은 1(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 모듈러 4 레지스터 카운터(132)의 출력 값은 3(픽셀이 바뀔 때마다 카운터는 1씩 증가하는 것으로 가정.) 이다. 이것은 도 2a 및 도 2b에 도시된 멀티플렉서로부터 출력되는 데이터 패턴 값이 디더링 패턴 듀티 싸이클의 좌로부터 그레이 레벨 4/7는 네번째 비트부터 4비트가, 그레이 레벨 1/2은 세번째 비트부터 4비트가, 3/7은 네번째 비트부터 4비트가 그리고 그레이 레벨 2/5는 첫번째 비트부터 4비트가 각각 출력되는 것을 의미한다. 이에 따라 도 2a 및 도 2b에 도시된 4/7용 멀티플렉서(140)로부터 출력되는 그레이 레벨 4/7에 대한 데이터 패턴 값은 '0110' 이다. 1/2용 멀티플렉서(156)로부터 출력되는 그레이 레벨 1/2에 대한 데이터 패턴 값은 '0011' 이다. 3/7용 멀티플렉서(138)로부터 출력되는 그레이 레벨 3/7에 대한 데이터 패턴 값은 '1001' 이다. 2/5용 멀티플렉서(148)로부터 출력되는 그레이 레벨 2/5에 대한 데이터 패턴 값은 '0110' 이다. 따라서 그레이 레벨 4/7에 대한 제13 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 세번째 비트 값인 '0' 이다. 그레이 레벨 1/2에 대한 제14 픽셀 데이터 값은 최종적으로 '0011'의 우로부터 두번째 비트 값인 '0'이다. 그레이 레벨 3/7에 대한 제15 픽셀의 픽셀 데이터 값은 최종적으로 '1001'의 우로부터 첫번째 비트 값인 '0'이다. 그리고 그레이 레벨 2/5에 대한 제16 픽셀의 픽셀 데이터 값은 최종적으로 '0110'의 우로부터 영번째 비트 값인 '0'이다.

<174> 지금까지 살펴 본 표 3에 대한 최종적인 픽셀 데이터들의 출력 관계를 표 5에 도시한다.

<175>

【표 5】

	제1픽셀	제2픽셀	제3픽셀	제4픽셀	제5픽셀	제6픽셀	제7픽셀	제8픽셀	제9픽셀	제10픽셀	제11픽셀	제12픽셀	제13픽셀	제14픽셀	제15픽셀	제16픽셀
첫번째 라인	0	1	0	1	1	0	1	0	1	1	0	0	0	0	1	1
두번째 라인	0	1	1	0	1	0	0	0	0	0	0	0	1	1	1	1
세번째 라인	1	0	1	0	0	0	1	0	0	0	1	1	1	0	0	0
네번째 라인	1	0	0	0	0	1	0	0	1	1	1	1	0	0	0	0
다섯번째 라인	0	0	0	0	0	0	1	1	1	1	0	1	0	0	0	0

<176> 요약하면, 본 발명은 분모의 값 만큼의 비트 수를 사용하여 각 그레이 레벨에 대한 디더링 패턴 레지스터를 형성한다. 이것은 각 그레이 레벨의 디더링에 필요한 플립플롭의 개수를 감소시켜 하드웨어적인 크기를 최소화할 수 있다.

<177> 또한, 본 발명은 전체적인 칩의 전력 소모를 최소화할 수 있다. 실시예로 제시된 첫번째 예와 두번째 예는 16 개의 그레이 레벨에 대하여 살펴 본 바, 필요한 플립플롭의 개수가 총 73( $7*5+5*4+4*3+3*2$ ) 개로 기존의 메커니즘에 비해 1/4로 감소됨을 알 수 있다. 또한, 본 발명은 모듈러 레지스터 카운터를 통해 비트 필드를 다양하게 변화시켜 한 라인 또는 한 프레임 내에서 공간적으로 듀티 사이클을 유지하였다. 더 나아가 프레임 간에도 듀티 사이클을 유지시켜 시간적으로도 디더링을 수행할 수 있도록 하였다.

【발명의 효과】

<178> 이상에서 살펴본 바와 같이, 복수개의 그레이 레벨들을 저장하는 디더링 패턴 레지스터의 크기를 최소화한 본 발명의 메커니즘을 엘시디 제어기를 포함하는 화상 데이터

출력용 시스템 장치에 적용하면 물리적인(하드웨어적인) 비용 부담과 전력 소모를 최소화할 수 있어 제품의 경쟁력을 증대시키는 이점이 있다.

**【특허청구범위】****【청구항 1】**

복수개의 픽셀들을 포함하는 액정 패널상에 화상의 디스플레이를 야기시키는 픽셀 데이터에 응답하여 디스플레이를 위한 제어 신호들을 발생시키는 엘시디 제어기에 있어서,

복수개의 그레이 레벨들의 분모의 값 만큼의 비트 수를 이용하여 상기 복수개의 그레이 레벨들에 대응되는 이진화 데이터로 디더링하여 저장하는 디더링 패턴 레지스터부와;

프레임 클럭과 라인 클럭 그리고 픽셀 클럭에 각각 동기되어 상기 각 그레이 레벨의 이진화 최상위 비트를 결정하기 위한 계수 동작을 수행하는 복수개의 모듈러 레지스터 카운터부와;

상기 각 카운터부의 계수 값에 따라 상기 각 그레이 레벨에 대응되는 각각의 데이터 패턴을 출력하는 복수개의 멀티플렉서와; 그리고

상기 각 데이터 패턴 중 출력 픽셀 데이터에 대응되는 데이터 패턴의 해당 비트를 선택/출력하는 선택 수단을 포함하는 것을 특징으로 하는 엘시디 제어기.

**【청구항 2】**

제 1 항에 있어서,

상기 디더링 패턴 레지스터부는 분모가 동일한 그레이 레벨들을 그룹화하여 디더링 패턴을 형성하는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 엘시디 제어기.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 디더링 패턴 레지스터부는 복수개의 그레이 레벨의 분모의 수 만큼의 비트 수를 사용하여 상기 각 그레이 레벨에 대응되는 필요한 듀티 싸이클 만큼의 이진화 비트 값을 가지도록 프로그램하여 디더링 및 프레임 레이트 제어를 개선한 엘시디 제어기.

**【청구항 4】**

제 1 항에 있어서,

상기 각 모듈러 레지스터 카운터부는 프레임 클럭에 동기되어 프레임이 바뀔 때마다 계수 동작을 수행하는 모듈러 프레임 카운터와;

라인 클럭에 동기되어 라인이 바뀔 때마다 계수 동작을 수행하는 모듈러 라인 카운터와;

픽셀 클럭에 동기되어 픽셀이 바뀔 때마다 계수 동작을 수행하는 모듈러 픽셀 카운터와;

상기 모듈러 프레임 카운터의 출력 신호에 응답하여 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터로 업데이트를 위한 값을 출력하는 다음 프레임 계수 발생 수단과;

상기 모듈러 라인 카운터의 출력 신호에 응답하여 라인이 바뀔 때마다 업데이트를 위한 값을 출력하는 다음 라인 계수 발생 수단과;

제1 선택 신호의 로직레벨에 응답하여 상기 모듈러 라인 카운터로 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터의 초기값을 출력하고 라인이 바뀔 때마다 상기 다음 라인 계수 발생 수단으로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반복적으

로 수행하는 제1 멀티플렉서와;

상기 모듈러 픽셀 카운터의 출력 신호에 응답하여 픽셀이 바뀔 때마다 업데이트를 위한 값을 출력하는 다음 픽셀 계수 발생 수단과; 그리고

제2 선택 신호의 로직레벨에 응답하여 상기 모듈러 픽셀 카운터로 프레임이 바뀔 때마다 상기 모듈러 프레임 카운터의 초기값을 출력하고 라인이 바뀔 때마다 상기 모듈러 라인 카운터의 초기값을 출력하며 픽셀이 바뀔 때마다 상기 다음 픽셀 계수 발생 수단으로부터 출력되는 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행하는 제2 멀티플렉서를 포함하되,

상기 다음 프레임 계수 발생 수단은 프레임이 바뀔 때마다 가산되는 값이 랜덤하게 주어지고,

상기 다음 라인 계수 발생 수단은 라인이 바뀔 때마다 가산되는 값이 랜덤하게 주어지며,

상기 다음 픽셀 계수 발생 수단은 픽셀이 바뀔 때마다 가산되는 값이 랜덤하게 주어지는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 엘시디 제어기.

#### 【청구항 5】

제 1 항 또는 제 4 항에 있어서,

상기 모듈러 레지스터 카운터부의 모듈러 프레임 카운터와 모듈러 라인 카운터와 그리고 모듈러 픽셀 카운터는 각각 프레임이 바뀔 때마다, 라인이 바뀔 때마다, 픽셀이 바뀔 때마다 소정의 랜덤한 값으로 초기화되는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 엘시디 제어기.



**【청구항 6】**

복수개의 픽셀들을 포함하는 액정 패널상에 화상의 디스플레이를 야기시키는 픽셀 데이터에 응답하여 디스플레이를 위한 제어 신호들을 발생시키는 엘시디 제어기에 있어서,

복수개의 그레이 레벨들의 분모의 값 만큼의 비트 수를 이용하여 상기 복수개의 그레이 레벨들에 대응되는 이진화 데이터를 디더링하여 패턴 레지스터에 저장하는 제1 단계와;

상기 제1 단계를 통해 디더링된 각 그레이 레벨의 이진화 최상위 비트를 결정하기 위한 계수 동작을 수행하는 제2 단계와;

상기 제2 단계에 의해 결정된 최상위 비트를 기준으로 상기 각 그레이 레벨에 대응되는 각각의 데이터 패턴을 출력하는 제3 단계와; 그리고

상기 제3 단계를 통해 인출된 각 데이터 패턴 중 출력 픽셀 데이터에 대응되는 데이터 패턴의 해당 비트를 선택/출력하는 제4 단계를 포함하여 디더링 및 프레임 레이트 제어를 개선한 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 제2 단계는 프레임 클럭에 동기되어 프레임이 바뀔 때마다 계수 동작을 수행시키는 제1 과정과;

라인 클럭에 동기되어 라인이 바뀔 때마다 계수 동작을 수행시키는 제2 과정과;

픽셀 클럭에 동기되어 픽셀이 바뀔 때마다 계수 동작을 수행시키는 제3 과정과;

상기 제1 과정을 통해 인출된 출력 신호에 응답하여 프레임이 바뀔 때마다 상기 제1 과정으로 업데이트를 위한 값을 피드백시키는 제4 과정과;

상기 제2 과정을 통해 인출된 출력 신호에 응답하여 라인이 바뀔 때마다 업데이트를 위한 값을 발생시키는 제5 과정과;

제1 선택 신호의 로직레벨에 응답하여 상기 제2 과정으로 프레임이 바뀔 때마다 상기 제1 과정을 통해 인출된 초기값을 피드백시키고 라인이 바뀔 때마다 상기 제5 과정을 통해 인출된 업데이트를 위한 값을 피드백시키는 동작을 선택적으로 반복 수행하는 제6 과정과;

상기 제3 과정을 통해 인출된 출력 신호에 응답하여 픽셀이 바뀔 때마다 업데이트를 위한 값을 발생시키는 제7 과정과; 그리고

제2 선택 신호의 로직레벨에 응답하여 상기 제3 과정으로 프레임이 바뀔 때마다 상기 제1 과정을 통해 인출된 초기값을 출력하고 라인이 바뀔 때마다 상기 제2 과정을 통해 인출된 초기값을 출력하며 픽셀이 바뀔 때마다 상기 제7 과정을 통해 인출된 업데이트를 위한 값을 출력하는 동작을 반복적으로 수행하는 제8 과정을 포함하되,

상기 제4 과정은 프레임이 바뀔 때마다 가산되는 값이 랜덤하게 주어지고,

상기 제5 과정은 라인이 바뀔 때마다 가산되는 값이 랜덤하게 주어지며,

상기 제7 과정은 픽셀이 바뀔 때마다 가산되는 값이 랜덤하게 주어지는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 제1 과정은 프레임이 바뀔 때마다 소정의 랜덤한 값으로 초기화되는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 방법.

**【청구항 9】**

제 7 항에 있어서,

상기 제2 과정은 라인이 바뀔 때마다 소정의 랜덤한 값으로 초기화되는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 방법.

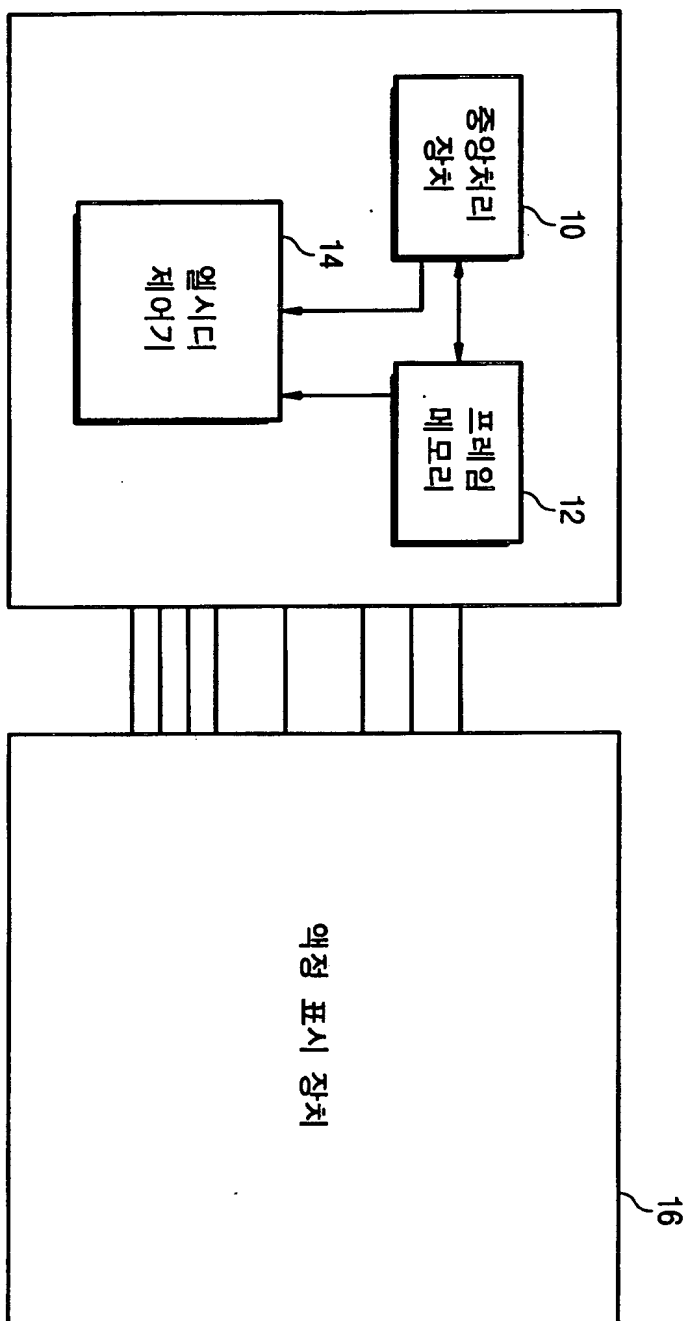
**【청구항 10】**

제 7 항에 있어서,

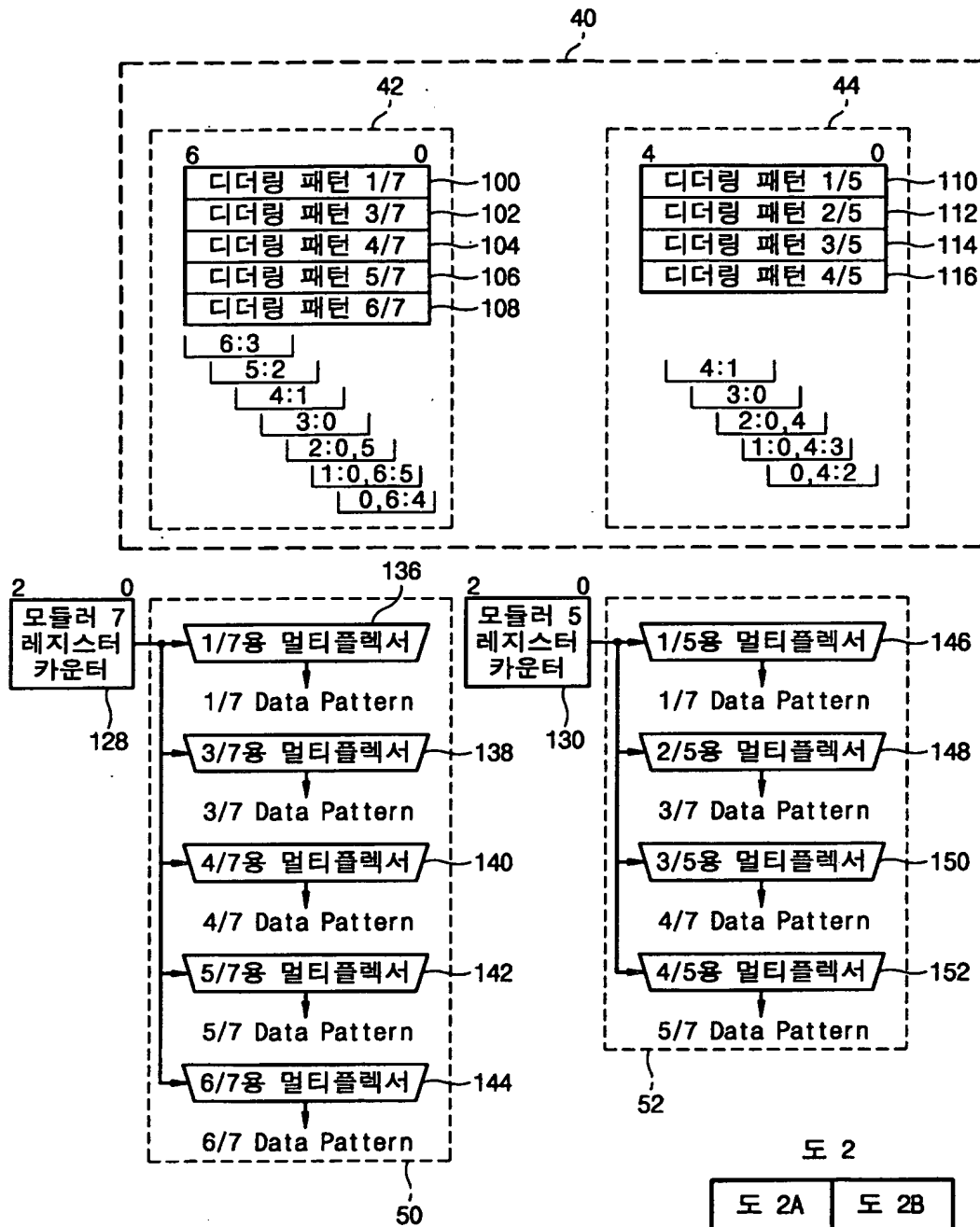
상기 제3 과정은 픽셀이 바뀔 때마다 소정의 랜덤한 값으로 초기화되는 것을 특징으로 하여 디더링 및 프레임 레이트 제어를 개선한 방법.

【도면】

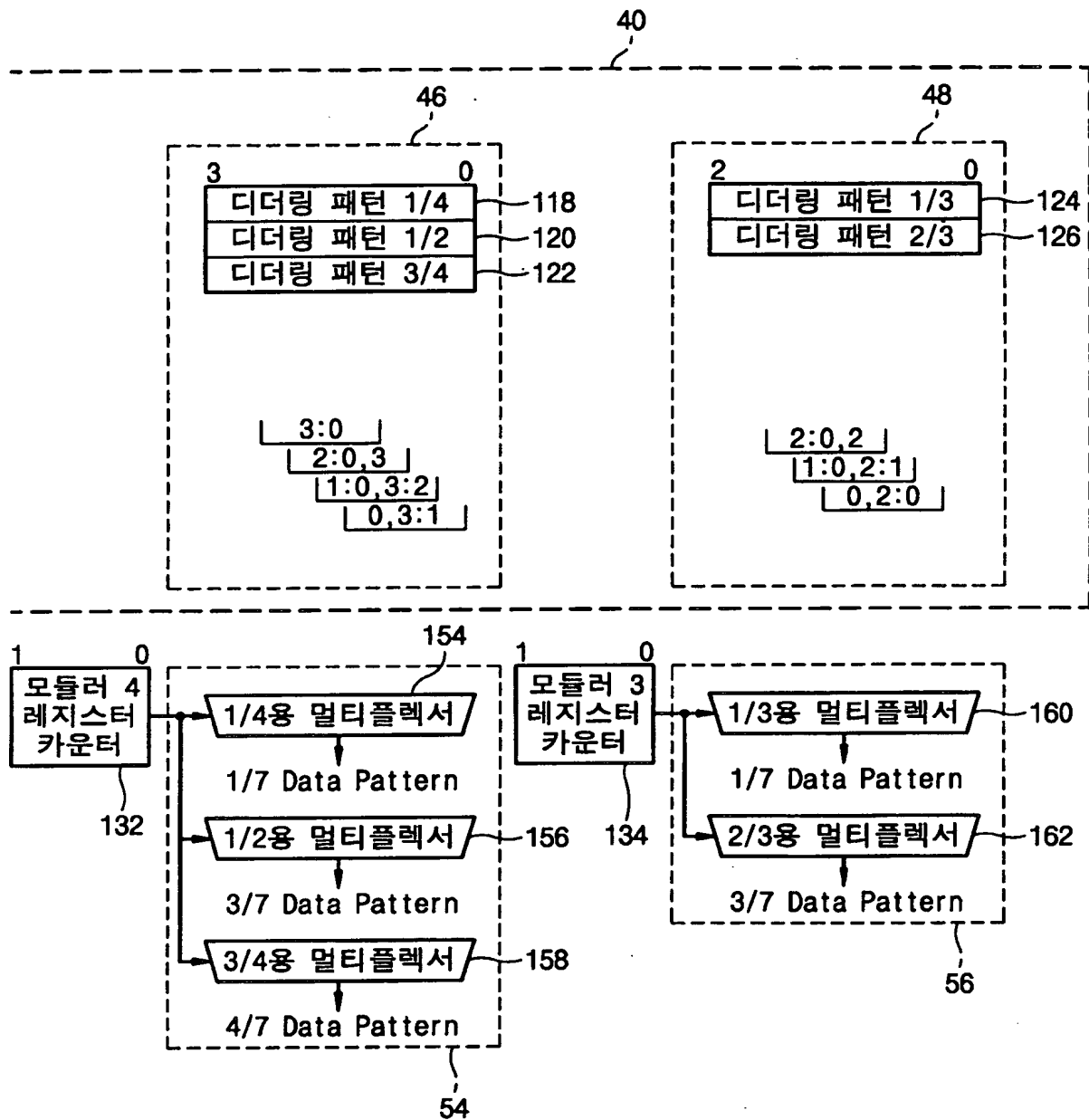
【도 1】



【도 2a】



【도 2b】



【도 3】

